合众达电子

SEED ELECTRONIC TECHNOLOGY

TI Third Party Network Member

DSP™

TEXAS INSTRUMENTS

SEED-DSK2812 用户指南

2005 *DSP Development Systems*

SEED-DSK2812 用户指南

TMS320F2812 初学者套件

版本号：A
2005.5

http://www.seeddsp.com

声明

北京合众达电子技术有限责任公司保留随时对其产品进行修正、改进和完善的权利，同时也保留在不作任何通告的情况下，终止其任何一款产品的供应和服务的权利。用户在下订单前应获取相关信息的最新版本，并验证这些信息是当前的和完整的。

前言

阅前必读

简介：

本用户指南是 TMS3202812DSP 硬件使用说明书，详细描述了 SEED-DSK2812 的硬件构成、原理，以及它的使用方法和编程指导。

保修：

所有由北京合众达电子技术有限责任公司生产制造的硬件和软件产品，保修期为从发货之日起壹年。在保修期内由于产品质量原因引起的损坏，北京合众达电子技术有限责任公司负责免费维修或更换。当在保修期内软件进行了升级，北京合众达电子技术有限责任公司将免费提供。

参考资料：

TMS320F28x DSP CPU and Instruction Set Reference Guide（文献号 SPRU430）：介绍 TMS320F28x 系列 DSP 的 CPU 结构、指令组、流水线及中断。

TMS320F28x Control and Interrupts Reference Guide（文献号 SPRU078）：介绍 TMS320F28x 系列 DSP 的系统控制和中断。

TMS320F28x External Interface (XINTF) Reference Guide（文献号 SPRU067）：介绍 TMS320F28x 系列 DSP 的外部存储器接口。

TMS320F28x Multichannel Buffered Serial Port (McBSP) Reference Guide（文献号 SPRU061）：介绍 TMS320F28x 系列 DSP 片上的多通道缓冲型同步串口（McBSP）。

TMS320F28x Serial Communications Interface (SCI) Reference Guide（文献号 SPRU051）：介绍 TMS320F28x 系列 DSP 片上的异步串口（SCI）。

TMS320F28x Serial Peripheral Interface (SPI) Reference Guide（文献号 SPRU059）：介绍 TMS320F28x 系列 DSP 片上的 4-线制特别串口（SPI）。

TMS320F28x Enhanced Controller Area Network (eCAN) Reference Guide（文献号 SPRU074）：介绍 TMS320F28x 系列 DSP 片上的增强型 CAN 总线控制器。

TMS320F28x Analog to Digital Converter (ADC) Reference Guide（文献号SPRU060）：介绍TMS320F28x系列DSP片上的A/D转换器。

TMS320F28x Event Manager (EV) Reference Guide（文献号SPRU065）：介绍TMS320F28x系列DSP片上的事件管理器。

TMS320F281x Data Sheet（文献号SPRS174）：描述TMS320F281x 32-位定点DSP特点、电气指标、时序，以及引脚封装等。

TMS320F28x Boot ROM Reference Guide（文献号SPRU095）：描述TMS320F28x片上ROM中的Bootloader程序的特点和操作。

TMS320F28x Assembly Language Tools User's Guide（文献号SPRU513）：描述TMS320F28x系列DSP的汇编语言工具（汇编器、链接器和其他开发汇编语言程序的工具），汇编器命令、宏命令、通用目标文件格式（COFF）和符号调试命令等。

TMS320F28x Optimizing C／C++ Compiler User' s Guide（文献号SPRU514）：描述TMS320F28x系列DSP的C／C++编译器和汇编优化器。此C／C++编译器将标准的ANSI C／C++源程序编译为TMS320F28x系列DSP的汇编源程序，汇编优化器则帮助你优化你的汇编源程序。

DAC7625：描述DAC7625单片4通道12-位D/A芯片的特点、电气指标、时序，以及引脚封装等。

X1226：描述X1226实时时钟 ＋512×8-位EEPROM芯片的特点、电气指标、时序，以及引脚封装等。

商标：

SEED是北京合众达电子技术有限责任公司的注册商标。

TI、XDS510是Texas Instruments的注册商标。

更多帮助：

- 网址： http://www.seeddsp.com

- 北京总部
  地址： 北京海淀区知春路 106 号太平洋国际大厦 912 室（100086）
  电话： （010）51518855
  传真： （010）51518866
  E-mail： Beijing@seeddsp.com

- 上海办事处
  地址： 上海市成都北路 500 号峻岭广场 2205 室（200003）
  电话： （021）63270945
  传真： （021）63270962
  E-mail： shanghai@seeddsp.com

- 成都办事处
  地址： 人民南路 3 段林荫街华西大厦 A 座 602 室（610041）
  电话： （028）85458130　85441353
  传真： （028）85441353
  E-mail： chengdu@seeddsp.com

- 深圳办事处
  地址： 深圳市深圳中路 2 号新闻大厦 1 号楼 1905 室（518027）
  电话： （0755）25951610/20/30
  传真： （0755）25951660
  E-mail： shenzhen@seeddsp.com

- 西安办事处
  地址： 陕西西安市长安中路 239 号通瑞大厦 476 室（710061）
  电话： （029）5248062　8562762　5361239
  传真： （029）5248062
  E-mail： xian@seeddsp.com

- 南京办事处
  地址： 南京市中山东路 218 号长安国际中心 13 楼 F 座（210002）
  电话： （025）84650405　84650406
  传真： （025）84650557
  E-mail： nanjing@seeddsp.com

- 杭州办事处
  地址： 杭州市西湖区文二路 207 号耀江文欣大厦 1209 室（310012）
  电话： （0571）88259367

传真：　（0571）88259357
E-mail：hangzhou@seeddsp.com

☐ 武汉办事处
地址：湖北省武汉市武昌街道口珞珈山路一号珞珈山大厦 B 座 1509 室（430070）
电话：（027）87660475
传真：（027）87660480
E-mail：wuhan@seeddsp.com

☐ 香港办事处
地址：香港九龍觀塘駿業街 44 號中航科技大廈 3 字樓 302 室
Rm 302, 3/F, CATIC Building, No. 44 Tsun Yip Street, Kwun Tong, Kowloon, H.K.
Tel：（852）34268098　34268099
Fax：（852）34264806
E-mail：seedhk@seeddsp.com

目录

第 1 章

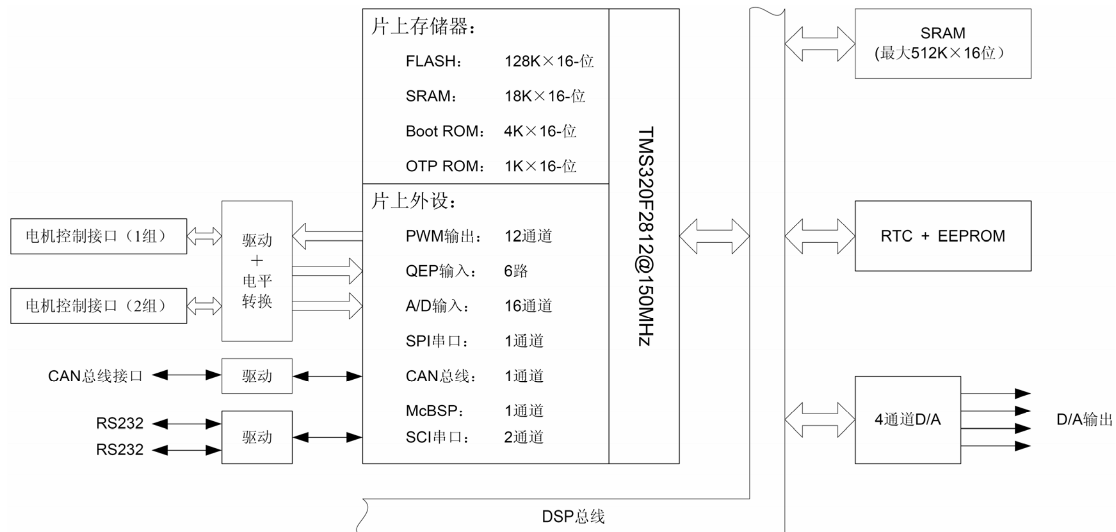
入门

1.1 特点：

- 采用 32-位定点 DSP TMS320F2812@150HMz，方便实现电机控制
  - 片上存储器：
    - FLASH：　128K×16-位
    - SRAM：　18K×16-位
    - Boot ROM：　4K×16-位
    - OTP ROM：　1K×16-位

    其中 FLASH、OTP ROM 和 8K×16-位 SRAM 受密码保护，保护用户程序。
  - 片上外设：
    - PWM：　12 路
    - QEP：　6 通道
    - ADC：　2×8 通道、12-位、80ns 转换时间、0～3V 量程
    - SCI 异步串口：　2 通道
    - McBSP 同步串口：　1 通道
    - SPI 同步串口：　1 通道
    - eCAN 总线：　1 通道
- 外扩 SRAM，最大容量为 512K x 16 位，基本配置为 64K x 16 位
- 外扩 RTC 实时时钟 + 512×8-位 EEPROM
- 外扩 4 通道、12-位分辨率、10μs 建立时间、0V～5V 量程的 DAC 输出
- 2 路标准 RS232 异步串口
- 1 路符合 CAN2.0 协议的 CAN 总线
- 提供看门狗电路、电源监视、上电复位、手动复位，系统可靠、稳定
- 标准的 JTAG 接口，方便调试
- 模板尺寸 80mm×100mm

1.2 功能框图



1.3 概述

SEED-DSK2812 系统主要包含两部分，分别为 SEED-DSK2812 的硬件系统与相应的测试软件。

在 SEED-DSK2812 中主要集成了 DSP、SRAM、A/D、PWM、GPI/O、SCI、McBSP、CAN、D/A 和串行 EEPROM+RTC 实时时钟等外设。这样使其能够应用在电机、电力等工业控制领域。

相应的测试软件包括以下几个部分：

- DSP 对片外 SRAM 的操作示例；
- DSP 片内外设 A/D 的操作示例；
- DSP 片内外设 TIMER 的操作示例；
- DSP 片内外设 GPI/O 的操作示例；
- DSP 片内外设 McBSP 的操作示例；
- DSP 片内外设 PWM 的操作示例；
- DSP 片内外设 CAN 的操作示例；
- RS-232 通讯操作示例；
- D/A 输出的操作示例；
- 串行 RTC 实时时钟 + EEPROM 的操作示例；

1.4 技术指标

- 主处理器： TMS320F2812，主频 150MHz；
- SRAM： 片内：18K×16-位，0 等待；
  片外：64K x 16 位，12ns（可扩展至 521K x 16 位）；
- FLASH： 片内：128K x16 位，36ns；
- ROM： 片内 Boot ROM：4K×16-位
  片内 OTP ROM：1K×16-位，36ns；
- A/D： 片内 2×8 通道、12-位分辩率、80ns 转换时间、0～3V 量程；
- D/A： 片外 4 通道、12-位分辩率、10μs 建立时间、0V～5V 量程
- 异步串口： 2 通道，RS232 接口
  传输率：RS232：1Mbaud；
- CAN 总线： 1 通道，符合 CAN2.0B 规范，最高传输率：1Mbps
- 工作温度： 0～70℃。
- 机械尺寸： 80mm×100mm

第 **2** 章

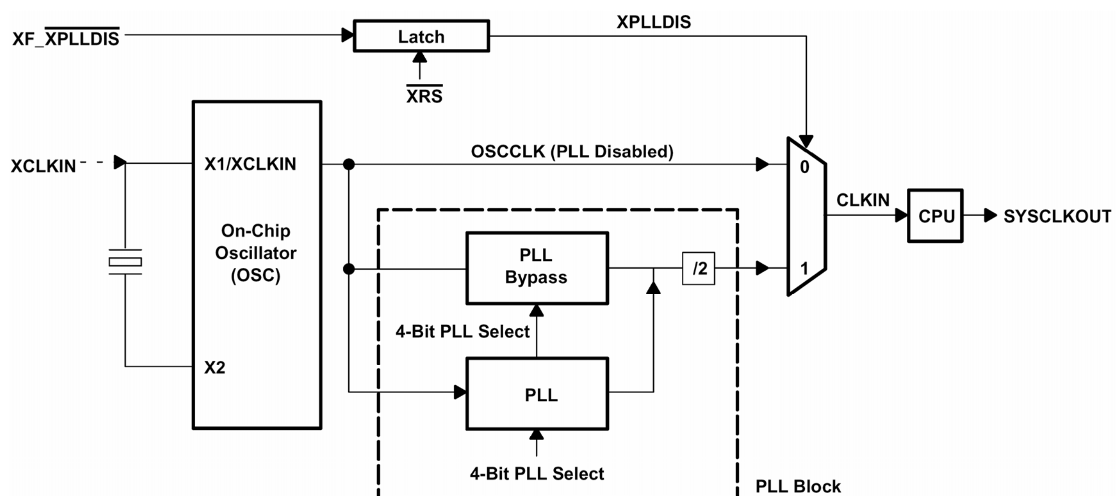
TMS320F2812 基本系统

2.1 TMS320F2812 时钟

TMS320F2812 上有多个部件需要时钟，CPU、看门狗电路、ADC、事件管理器等片上外设。

2.1.1 CPU 时钟

‘F2812 的 CPU 时钟电路如下图所示：



SEED-DSK2812 用 30MHz 外部晶体给’F2812 提供时钟，并使能’F2812 片上 PLL 电路。PLL 倍频系数由 PLL 控制寄存器 PLLCR 的低 4 位控制，可由软件动态地修改，外部复位信号（XRS）将此 4 位控制位被清为 0（CCS 中的复位命令将不对此 4 位控制位作清 0 操作），’F2812 的 CPU 最高可工作在 150MHz 主频下，也即对 30MHz 输入频率进行 5 倍频。PLLCR 控制位与倍频系数的关系如下图所示：

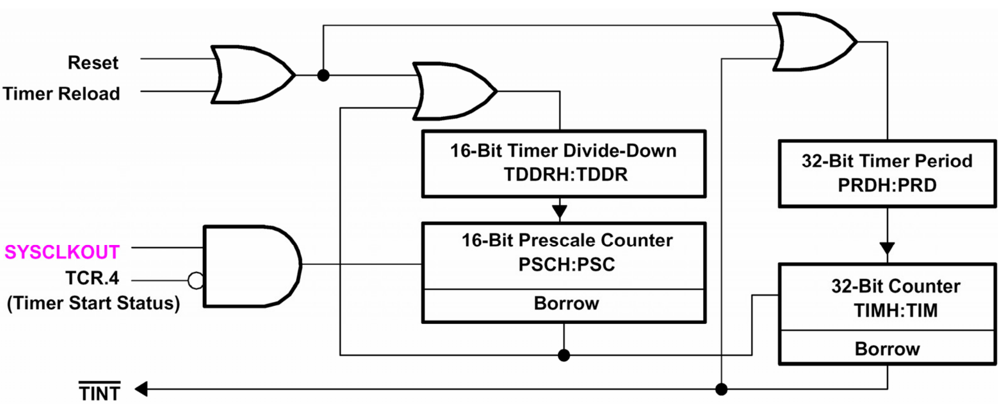
BIT(S)	NAME	TYPE	$\overline{\text{XRS}}$ RESET†	DESCRIPTION
15:4	reserved	R = 0	0:0	
3:0	DIV	R/W	0,0,0,0	SYSCLKOUT = (XCLKIN * n)/2, where n is the PLL multiplication factor. **Bit Value** **n** **SYSCLKOUT** 0000 PLL Bypassed XCLKIN/2 0001 1 XCLKIN/2 0010 2 XCLKIN 0011 3 XCLKIN * 1.5 0100 4 XCLKIN * 2 0101 5 XCLKIN * 2.5 0110 6 XCLKIN * 3 0111 7 XCLKIN * 3.5 1000 8 XCLKIN * 4 1001 9 XCLKIN * 4.5 1010 10 XCLKIN * 5 1011 11 Reserved 1100 12 Reserved 1101 13 Reserved 1110 14 Reserved 1111 15 Reserved

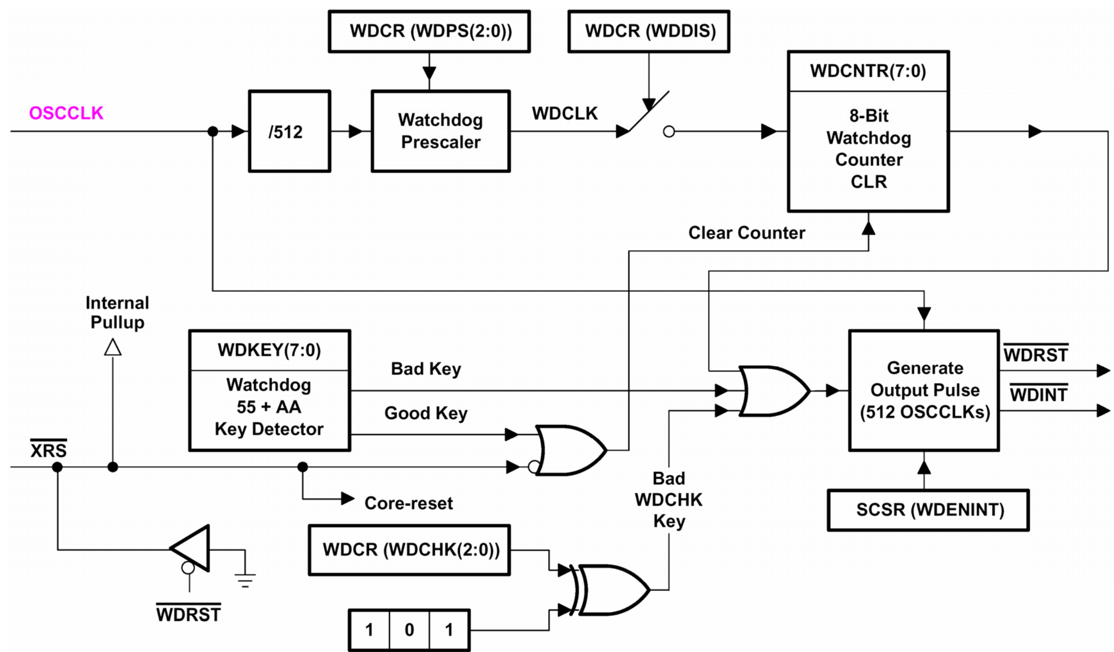
2.1.2 片上外设时钟

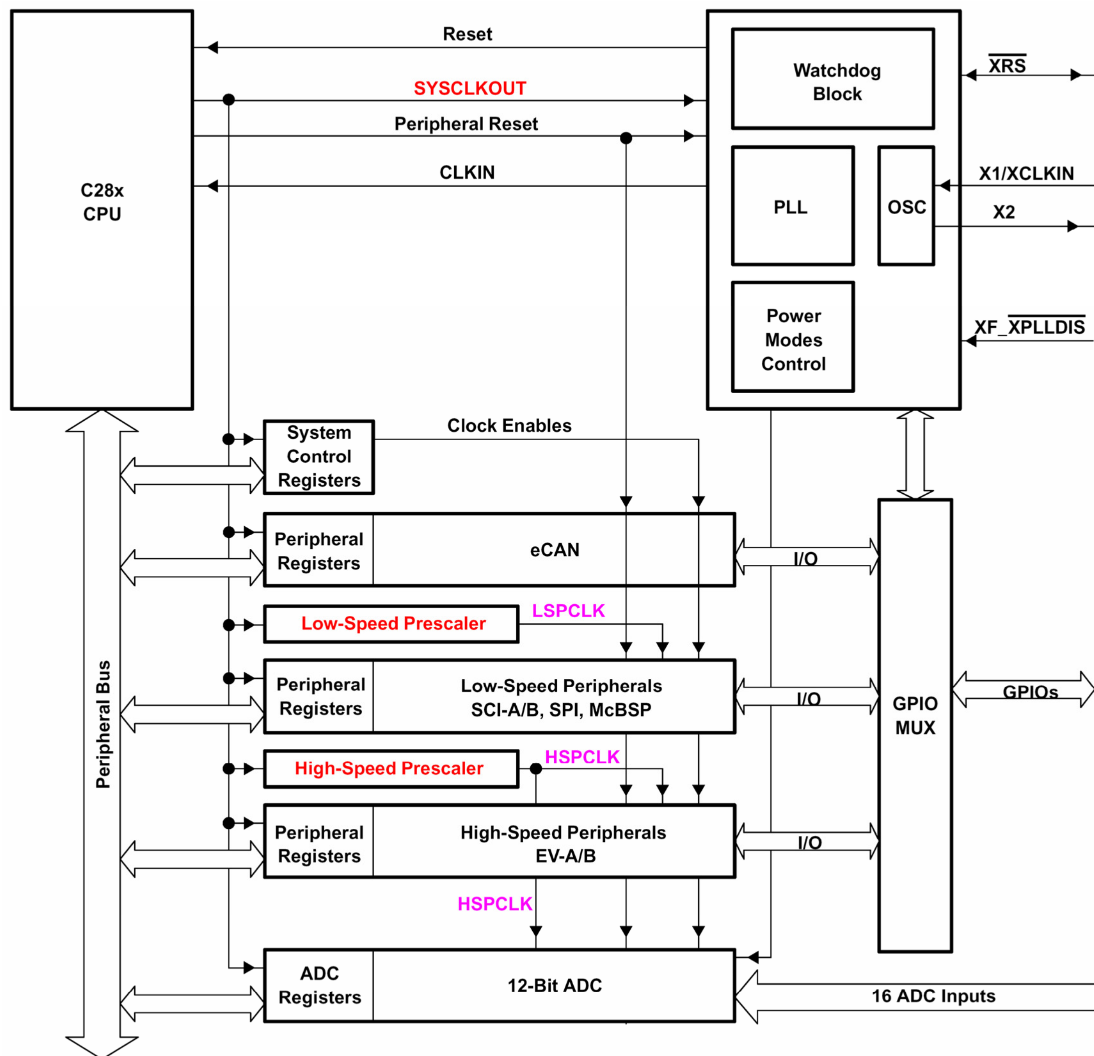
需要时钟信号的片上外设有：看门狗电路 WatchDog、CPU 定时器（3 个 32-位定时器）、eCAN 总线控制器；SCI（2 个异步串行通信控制器）、SPI（1 个 4 线制同步串口）、McBSP（1 个多通道缓冲型同步串口）；EV（2 个事件管理器，每个事件管理器包括：2 个通用定时器、3 个全比较器 / PWM 单元、3 个事件捕捉单元、QEP 正交编码脉冲 Quadrature-Encoder Pulse、外部时钟输入、外部比较输入和外部触发输入）、ADC（16 通道、12-位、12.5MSPS、0～3V 输入范围）。片上外设按输入时钟分为 4 个组：

- ☐ SYSOUTCLK 组： CPU 定时器、eCAN 总线
- ☐ OSCCLK 组： 看门狗电路
- ☐ 低速组： SCI、SPI、McBSP，它们的输入时钟信号由 SYSOUTCLK 经低速外设分频器分频得到。
- ☐ 高速组： EVA/B、ADC，它们的输入时钟信号由 SYSOUTCLK 经高速外设分频器分频得到。

各片上外设输入时钟配置如下图所示：




WDCR (WDPS(2:0))
WDCR (WDDIS)
WDCNTR(7:0)
OSCCLK
/512
Watchdog
Prescaler
WDCLK
8-Bit
Watchdog
Counter
CLR
Clear Counter
Internal
Pullup
WDKEY(7:0)
Watchdog
55 + AA
Key Detector
Bad Key
Good Key
Generate
Output Pulse
(512 OSCCLKs)
WDRST
WDINT
XRS
Core-reset
Bad
WDCHK
Key
SCSR (WDENINT)
WDCR (WDCHK(2:0))
WDRST
1 0 1

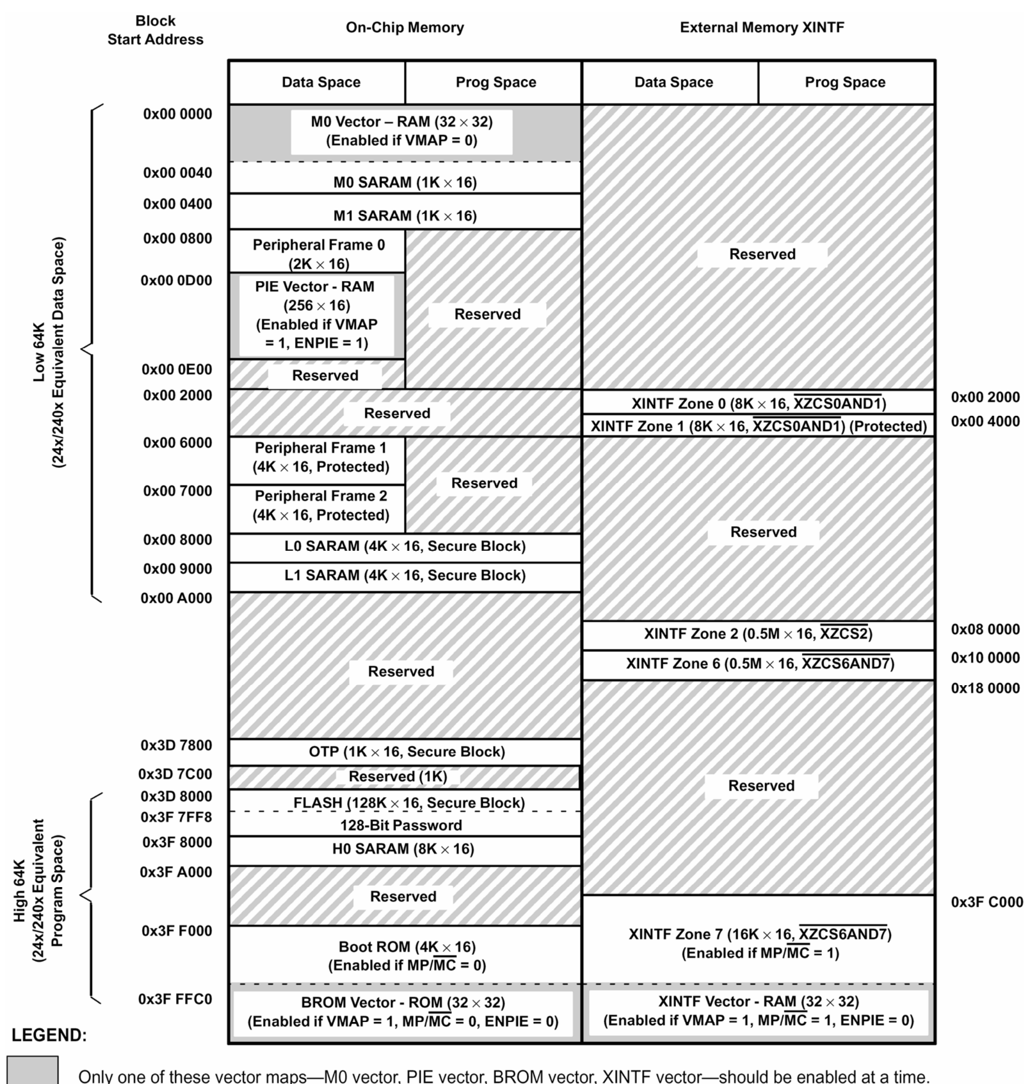

C28x
CPU
Reset
SYSCLKOUT
Peripheral Reset
CLKIN
Watchdog
Block
XRS
PLL
OSC
X1/XCLKIN
X2
Power
Modes
Control
XF_XPLLDIS
System
Control
Registers
Clock Enables
Peripheral
Registers
eCAN
I/O
Low-Speed Prescaler
LSPCLK
Peripheral
Registers
Low-Speed Peripherals
SCI-A/B, SPI, McBSP
I/O
GPIO
MUX
GPIOs
Peripheral Bus
High-Speed Prescaler
HSPCLK
Peripheral
Registers
High-Speed Peripherals
EV-A/B
I/O
HSPCLK
ADC
Registers
12-Bit ADC
16 ADC Inputs

与 PLL、时钟配置相关的寄存器有：

- PLLCR：　PLL 控制寄存器，用于设置 PLL 倍频系数
- HISPCP：　高速片上外设分频器，用于设置 HSPCLK 的分频系数
- LOSPCP：　低速片上外设分频器，用于设置 LSPCLK 的分频系数
- PCLKCR：　外设时钟控制寄存器，用于对高速、低速片上外设的运行进行启／停控制。

2.2　TMS320F2812 存贮空间的配置

TMS320F2812 为哈佛结构的 DSP，在逻辑上有 4M×16-位程序空间和 4M×16-位数据空间，但物理上已将程序空间和数据空间统一为一个 4M×16-位的存储空间，TMS320F2812 的存储空间的映射如下图所示：



'F2812 片上有 128K×16-位的 FLASH、18K×16-位的 SRAM、4K×16-位的 Boot ROM 和 1K×16-位的 OTP ROM。

在 SEED-DSK2812 模板上还外扩了 SRAM（基本配置为 64K x 16 位，最大可配 512K x 16 位）和若干个控制 / 状态寄存器（如 D/A 输出寄存器等）。

这些存储体在存储空间中的映射如下表所示：

地址范围	数据空间	程序空间	备注
0x00,0000 0x00,03FF	1K×16-位 片上 M0 SARAM	1K×16-位 片上 M0 SARAM	
0x00,0400 0x00,07FF	1K×16-位 片上 M1 SARAM	1K×16-位 片上 M1 SARAM	
0x00,0800 0x00,0FFF	2K×16-位 片上外设寄存器块 0	2K×16-位 保留	片上外设寄存器块 0 的具体定义参见'F2812 的 Data Sheet
0x00,1000 0x00,1FFF	4K×16-位 保留	4K×16-位 保留	
0x00,2000 0x00,5FFF	16K×16-位 外扩控制 / 状态寄存器	16K×16-位 外扩控制 / 状态寄存器	占 Zone 0 和 1 具体定义见 2.2.4
0x00,6000 0x00,6FFF	4K×16-位 片上外设寄存器块 1	4K×16-位 保留	片上外设寄存器块 1 的具体定义参见'F2812 的 Data Sheet
0x00,7000 0x00,7FFF	4K×16-位 片上外设寄存器块 2	4K×16-位 保留	片上外设寄存器块 2 的具体定义参见'F2812 的 Data Sheet
0x00,8000 0x00,8FFF	4K×16-位 片上 L0 SARAM	4K×16-位 片上 L0 SARAM	受密码保护
0x00,9000 0x00,9FFF	4K×16-位 片上 L1 SARAM	4K×16-位 片上 L1 SARAM	受密码保护
0x00,A000 0x07,FFFF	512K-40K×16-位 保留	512K-40K×16-位 保留	
0x08,0000 0x0F,FFFF	512K×16-位 未用	512K×16-位 未用	未用
0x10,0000 0x17,FFFF	512K×16-位 外扩 SRAM	512K×16-位 外扩 SRAM	占 Zone 6 基本配置为 64K×16-位
0x18,0000 0x3D,77FF	2M+350K×16-位 保留	2M+350K×16-位 保留	
0x3D,7800 0x3D,7BFF	1K×16-位 片上 OTP ROM	1K×16-位 片上 OTP ROM	受密码保护
0x3D,7C00 0x3D,7FFF	1K×16-位 保留	1K×16-位 保留	

0x3D,8000 0x3F,7FFF	128K×16-位 片上 FLASH	128K×16-位 片上 FLASH	受密码保护
0x3F,8000 0x3F,9FFF	8K×16-位 片上 H0 SARAM	8K×16-位 片上 H0 SARAM	
0x3F,A000 0x3F,BFFF	8K×16-位 保留	8K×16-位 保留	
0x3F,C000 0x3F,EFFF	12K×16-位 保留	12K×16-位 保留	当 MP/MC = 0
0x3F,F000 0x3F,FFFF	4K×16-位 片上 Boot ROM	4K×16-位 片上 Boot ROM	当 MP/MC = 0
0x3F,C000 0x3F,FFFF	16K×16-位 外扩 SRAM	16K×16-位 外扩 SRAM	占 Zone 7 当 MP/MC = 1 占外扩 SRAM 的高 16K

这些存储体的访问速度如下表所示：

地址范围	存储体	等待周期数	备注
0x00,0000 0x00,07FF	片上 M0、M1 SARAM	0 等待	不可编程
0x00,0800 0x00,0FFF	片上外设寄存器块 0	0 等待	不可编程
0x00,2000 0x00,5FFF	外扩控制 / 状态寄存器	可编程 最少 1 个等待	由 XTIMING0 或 XTIMING1 寄存器编程 具体说明见 2.1.1
0x00,6000 0x00,6FFF	片上外设寄存器块 1	0 等待（写） 2 等待（读）	
0x00,7000 0x00,7FFF	片上外设寄存器块 2	0 等待（写） 2 等待（读）	不可编程
0x00,8000 0x00,9FFF	片上 L0、L1 SARAM	0	不可编程
0x08,0000 0x0F,FFFF	未用	可编程 最少 1 等待	由 XTIMING2 寄存器编程 具体说明见 2.1.2
0x10,0000 0x17,FFFF	外扩 SRAM	12ns 最少 1 等待	由 XTIMING6 寄存器编程
0x3D,7800 0x3D,7BFF	片上 OTP ROM	可编程 最少 1 等待	通过 FLASH 寄存器编程
0x3D,8000 0x3F,7FFF	片上 FLASH	可编程 最少 0 等待	通过 FLASH 寄存器编程
0x3F,8000 0x3F,9FFF	片上 H0 SARAM	0 等待	不可编程
0x3F,F000 0x3F,FFFF	片上 Boot ROM	1 等待	当 MP/MC = 0 不可编程
0x3F,C000 0x3F,FFFF	外扩 SRAM	12ns 最少 1 等待	当 MP/MC = 1 由 XTIMING7 寄存器编程

2.2.1 'F2812 片上 SARAM

TMS320F2812 片内共有 18K×16-位单周期单次访问随机存储器 SARAM，分成 5 个块，它们分别称为 M0、M1、L0、L1 和 H0。

M0 和 M1 块 SARAM 的大小均为 1K×16-位，当复位后，堆栈指针指向 M1 块的起始地址，堆栈指针向上生长。M0 和 M1 段都可以映射到程序区和数据区。

L0 和 L1 块 SARAM 的大小均为 4K×16-位，既可映射到'F2812 的程序存储空间，也可映射到'F2812 的数据存储空间，而且 L0 和 L1 受片上 FLASH 中的密码保护，以免存放在 L0 和 L1 中的程序或数据，被他人非法拷贝。

H0 块 SARAM 的大小为 8K×16-位，同样既可映射到'F2812 的程序存储空间，也可映射到'F2812 的数据存储空间，但 H0 不受片上 FLASH 中的密码保护。

2.2.2 'F2812 片上 FLASH 和 OTP

TMS320F2812 片上有 128K×16-位嵌入式 FLASH 存储器和 1K×16-位一次可编程 EPROM（OTP）存储器，它们均受片上 FLASH 中的密码保护。FLASH 存储器由 4 个 8K×16-位扇区和 6 个 16K×16-位扇区组成，用户可以对其中任何一个扇区进行擦除、编程和校验，而其它扇区不变。但是，不能在其中 1 个扇区上执行程序来擦除和编程其他的扇区。

地址	程序和数据空间
0x3D8000～0x3D9FFF	SECTOR J，8K×16 位
0x3DA000～0x3DBFFF	SECTOR I，8K×16 位
0x3DC000～0x3DFFFF	SECTOR H，16K×16 位
0x3E0000～0x3E3FFF	SECTOR G，16K×16 位
0x3E4000～0x3E7FFF	SECTOR F，16K×16 位
0x3E8000～0x3EBFFF	SECTOR E，16K×16 位
0x3EC000～0x3EFFFF	SECTOR D，16K×16 位
0x3F0000～0x3F3FFF	SECTOR C，16K×16 位
0x3F4000～0x3F5FFF	SECTOR B，8K×16 位
0x3F6000～0x3F7FFF 0x3F7F80~0x3F7FF5 0x3F7FF6~0x3F7FF7 0x3F7FF8~0x3F7FFF	SECTOR A，8K×16 位 当使用 CSM 后，写为 0 跳转到程序入口 128-位密码

2.2.3 ‘F2812 外部存储器接口

TMS320F2812 的外部存储器接口包括：19-位地址线，16-位数据线、3 个片选线及读／写控制线。这 3 个片选线映射到 5 个外部存储区域，Zone 0、1、2、6 和 7。其中，Zone 0 和 1 共用 1 个片选线 XZCS0AND1，Zone 6 和 7 共用一个片选线 XZCS6AND7。这 5 个存储区域可以分别设置为不同的等待周期。

Zone 0 存储区域：　　0x002000～0x003FFF，8K×16-位
Zone 1 存储区域：　　0x004000～0x005FFF，8K×16-位
Zone 2 存储区域：　　0x080000～0x0FFFFF，512K×16-位
Zone 6 存储区域：　　0x100000～0x17FFFF，512K×16-位
Zone 7 存储区域：　　0x3FC000～0x3FFFFF，16K×16-位

‘F2812 的外部存储器接口 XINTF 的详细说明和编程操作请参考《***TMS320F28x External Interface (XINTF) Reference Guide***》。

2.2.4 外扩的控制／状态寄存器

SEED-DSK2812 上配置有 D/A、串行实时时钟 + EEPROM 等外设，它们被映射到’F2812 的 Zone 0 和 Zone 1 存储空间中，具体的定义如下表所示：

<table>
<tr><th>功能／名字</th><th>地址／区域</th><th>操作</th><th>访问周期</th></tr>
<tr><td>IIC 的 SCL 输入口
IIC_SCL_IN</td><td>0x00,2000
Zone 0</td><td>1-位
只读</td><td rowspan="8">Ts = 0ns
Tw = 2.5ns
Th = 7.5ns</td></tr>
<tr><td>IIC 的 SDA 输入口
IIC_SCL_IN</td><td>0x00,2001
Zone 0</td><td>1-位
只读</td></tr>
<tr><td>IIC 的 SCL 输出口
IIC_SCL_OUT</td><td>0x00,2001
Zone 0</td><td>1-位
只写</td></tr>
<tr><td>IIC 的 SDA 输出口
IIC_SDA_OUT</td><td>0x00,2002
Zone 0</td><td>1-位
只写</td></tr>
<tr><td>IIC 的 SCL 方向控制口
IIC_SCL_DIR</td><td>0x00,2000
Zone 0</td><td>1-位
只写</td></tr>
<tr><td>IIC 的 SDA 方向控制口
IIC_SDA_DIR</td><td>0x00,2000
Zone 0</td><td>1-位
只写</td></tr>
<tr><td>LED 状态显示</td><td>0x00,2003
Zone 0</td><td>4-位
只写</td></tr>
<tr><td>系统状态标志</td><td>0x00,2004
Zone 0</td><td>1-位
只写</td></tr>
<tr><td>第 0 通道 D/A 数据口
DA_PORT0</td><td>0x00,4000
Zone 1</td><td>12-位
读／写</td><td>Ts = 0ns
Tw = 50ns</td></tr>
</table>

第 1 通道 D/A 数据口 DA_PORT1	0x00,4001 Zone 1	12-位 读 / 写	Th = 0ns
第 2 通道 D/A 数据口 DA_PORT2	0x00,4002 Zone 1	12-位 读 / 写	
第 3 通道 D/A 数据口 DA_PORT3	0x00,4003 Zone 1	12-位 读 / 写	
D/A 同时输出口 DA_OUT	0x00,4000 Zone 1	— 只写	

注：表中 Ts 表示建立时间，Tw 表示读 / 写宽度，Th 表示保持时间

上表中个外设寄存器的具体定义和说明见后面的相关章节。

2.2.5 SRAM 的存储空间映射

SEED-DSK2812 上外扩有单片高速（12ns）、16-位 SRAM，基本配置位 64K×16-位，最大可配置为 512K×16-位。SRAM 被映射到'F2812 的 Zone 6 和 Zone 7 存储空间中，'F2812 的 Zone 6 存储空间的大小为 512K×16-位，当配置的 SRAM 的容量小于 512K×16-位时，则逻辑上将以 SRAM 的容量在 Zone 6 存储空间中反复映射，而物理上只有 SRAM 的容量大小。同时逻辑上 SRAM 也被映射到 Zone 7 存储空间中，'F2812 的 Zone 7 存储空间的大小为 16K×16-位，对于的地址范围为 0x3F,C000～0x3F,FFFF。所以当 SRAM 逻辑上被映射到 Zone 7 存储空间时，实际将寻址 SRAM 的高 16K×16-位物理存储空间。

2.3 McBSP

TMS320F2812 上有一个多通道缓冲型同步串口 McBSP，在 SEED-DSK2812 板内没有使用，直接连至 J10 和 J16 连接器上，提供外部使用，其接口电平为+3.3V。

2.3.1 McBSP 的操作

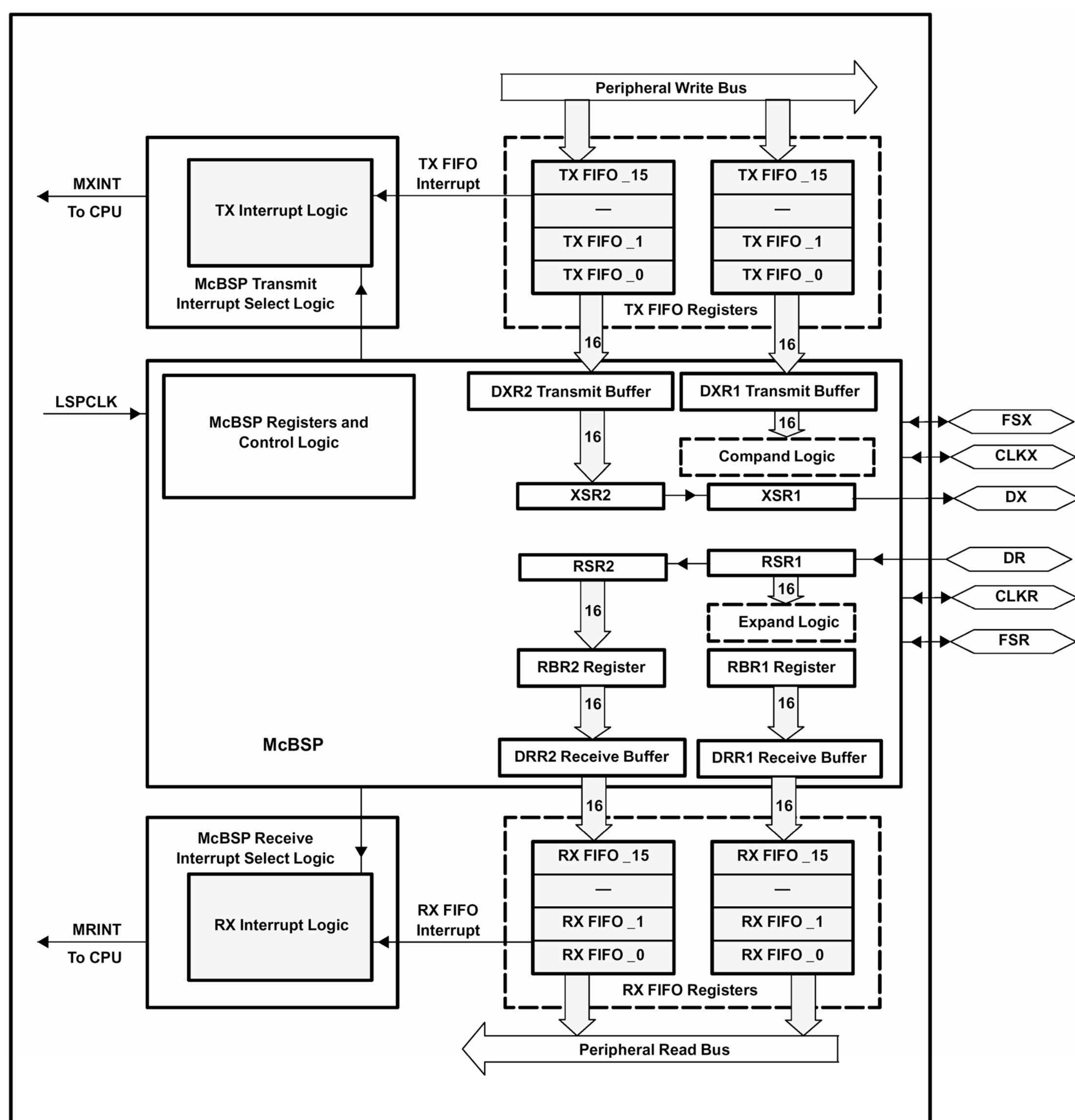
2.3.1.1 McBSP 概述

McBSP 是 Multichannel Buffered Serial Port 的缩写，即多通道缓冲型串行接口，是一种多功能的同步串行接口，它具有很强的可编程能力，可以配置为多种同步串口标准，直接与各种器件高速接口：

- ☐ T1/E1 标准：通信器件
- ☐ MVIP 和 ST-BUS 标准：通信器件

- IOM-2 标准：ISDN 器件
- AC97 标准：PC Audio CoDSK 器件
- IIS 标准：CoDSK 器件
- SPI：串行 A/D、D/A，串行存储器等器件

‘F2812 的 McBSP 的内部原理图如下图所示：



2.3.1.2 McBSP 的引脚与信号

McBSP 由发送器和接收器构成，各有 3 个信号：位-时钟、帧同步和串行数据，所以一个 McBSP 有下列信号：FSR、CLKR、DR 和 FSX、CLKX、DX

- 帧同步信号：FSR、FSX
- 位-时钟：CLKR、CLKX
- 串行数据流：DR、DX

2.3.1.3 McBSP 通信协议

McBSP 为一同步串行通信接口，同步串行通信协议包含：

- ☐ 串行数据流起始时刻称为帧同步事件。帧同步事件由位-时钟采样帧同步信号给出。
- ☐ 串行数据流长度：串行传输的数据流位数达到设定的长度后，结束本次传输，等下一个帧同步信号达到，再发起另一次串行传输。
- ☐ 串行数据流传输速度：即每一个串行位的持续时间，由位-时钟决定
- ☐ FSR（FSX）、CLKR（CLKX）、DR（DX）三者之间的关系即如何取得帧同步事件、何时采样串行数据位流、或何时输出串行数据位流，是可以通过 McBSP 的寄存器进行配置的。

‘F2812 的 McBSP 的详细说明和编程操作请参考《***TMS320F28x Multichannel Buffered Serial Port (McBSP) Reference Guide***》。

2.4 SPI

TMS320F2812 上有一个 SPI 同步串口，在 SEED-DSK2812 板内没有使用。

2.4.1 SPI 概述

SPI 串口是一种高速同步串口，允许数据长度为 1 到 16 位的串行数据输入或输出。在正常情况下，SPI 用来作为 DSP 控制器和外设或另一个处理器之间通讯。典型的应用包括外部 I／O 或外设扩展。

2.4.2 SPI 特点

- ☐ 外部引脚：4 个
  - SPI 从发／主收引脚：SPISOMI
  - SPI 从收／主发引脚：SPISIMO
  - SPI 从发使能引脚：SPISTE
  - SPI 串行时钟引脚：SPICLK
- ☐ 两种可选模式：主／从
- ☐ 波特率可编程：有 125 种不同的设置
  - BRR≠0 波特率=LSPCLK÷（SPIBRR+1）
  - BRR=0，1，2，3 波特率=LSPCLK÷4
- ☐ 数据长度：1 到 16 位
- ☐ 时钟模式：4 种

- 同时发送和接收操作
- 发送或接收可通过中断或查询方式
- 16 级发送 / 接收 FIFO
- 延迟发送控制

‘F2812 的 SPI 的详细说明和编程操作请参考《***TMS320F28x Serial Peripheral Interface (SPI) Reference Guide***》。

2.5 SCI

TMS320F2812 上有二个 SCI 异步串口，经 RS232 收发器驱动后分别连至 MINI DIN 型连接器 J4 和 J5，提供外部使用，具体见第 3 章。

2.5.1 SCI 概述

SCI 模块支持在 CPU 和其他异步外设之间的数字通讯。SCI 的串口接收和发送均为双缓冲，接收和发送都有独立的使能和中断位。在全双工模式下，两者可以独立或同步运行。为了确保数据的完整性，SCI 模块检查接收数据的断点，校验位和帧错误。

2.5.2 SCI 特点

- 外部引脚： 2 个
  SCI 发送引脚： SCITXD
  SCI 接收引脚： SCIRXD
- 波特率可编程： 有 64K 种设置
  当 BRR≠0 时： 波特率=LSRCLK÷（（BRR+1）×8）
  当 BRR=0 时 波特率=LSPCLK÷16
- 数据格式： 1 个开始位，1～8 个数据位，奇校验 / 偶检验 / 无校验可选，1 或 2 个停止位
- 4 个错误检测标志： 校验，溢出，帧和断点检测
- 全双工和半双工模式
- 双缓冲接收和发送
- 串口数据发送和接收过程可以通过中断方式或查寻方式

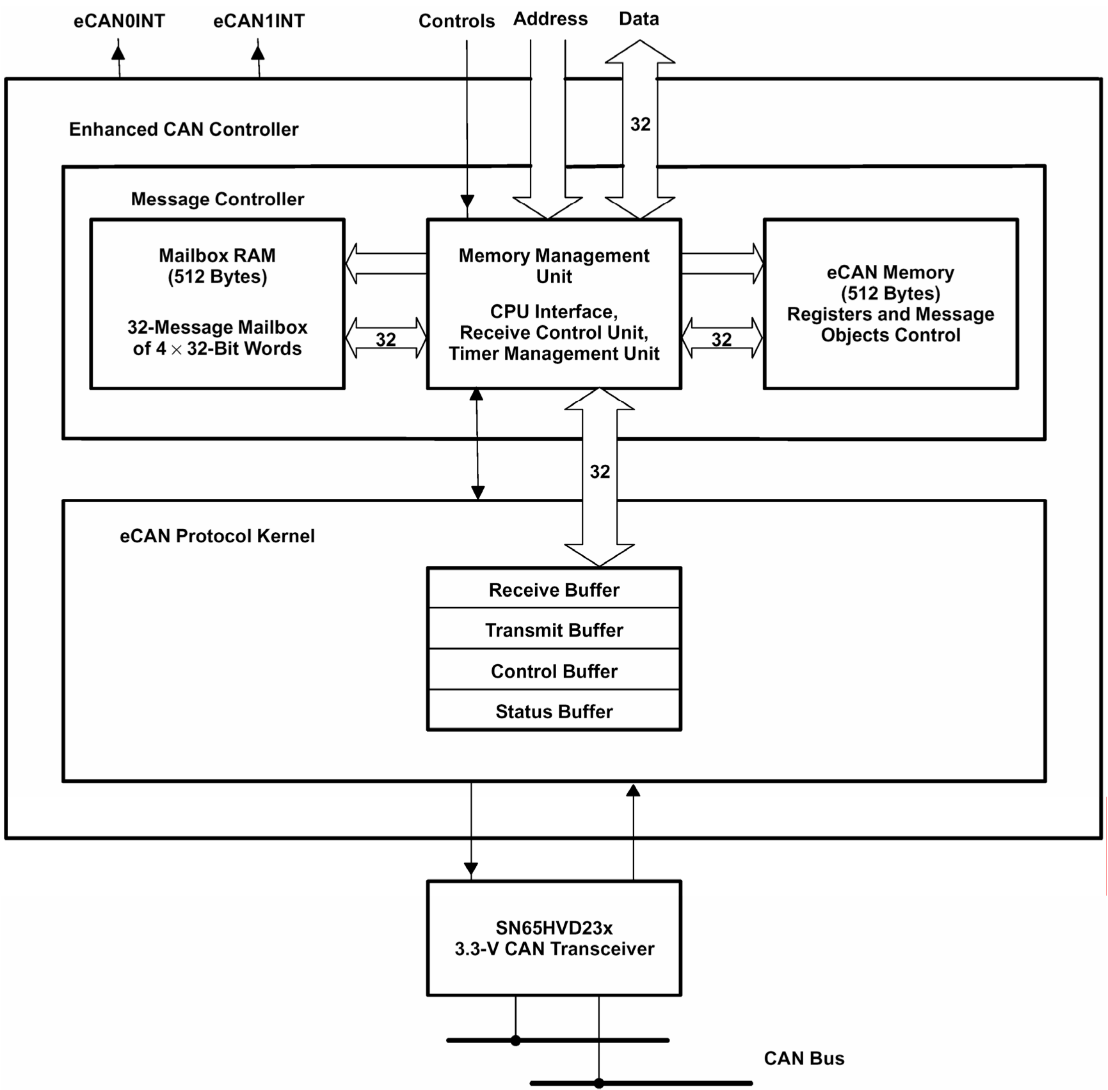
‘F2812 的 SCI 的详细说明和编程操作请参考《***TMS320F28x Serial Communications Interface (SCI) Reference Guide***》。

2.6 CAN

TMS320F2812 上有一个增强型 CAN 总线控制器，符合 CAN2.0B 协议，经 CAN 收发器驱动后连至 2.0mm 间距单排 2-芯连接器 J8，提供外部使用。连接器 J8 的定义如下：

CANL	1	2	CANH

2.6.1 CAN 原理框图



2.6.2 CAN 特点

- ☐ 符合 CAN2.0 协议
- ☐ 数据传输率高达 1MBPS
- ☐ 32 个邮箱，每个支持以下特点：
  - ◆ 可配置的接收和发送
  - ◆ 可配置成标准或扩展的标识
  - ◆ 可编程的接收屏蔽
  - ◆ 支持数据和远帧
  - ◆ 数据长度 0 到 8 个字节
  - ◆ 在接收或发送信息时，使用 32 位的时间标志
  - ◆ 新信息的接收保护
  - ◆ 发送信息的动态优先级
  - ◆ 带有两级中断的中断配置
  - ◆ 发送和接收操作时，可发出超时警报
- ☐ 低功耗模式
- ☐ 可编程设定的总线激活
- ☐ 远方请求信息的自动答复
- ☐ 无裁决或错误时，数据帧自动重新发送
- ☐ 32 位的本地网络时间计数器同步于指定的信息
- ☐ 自测模式

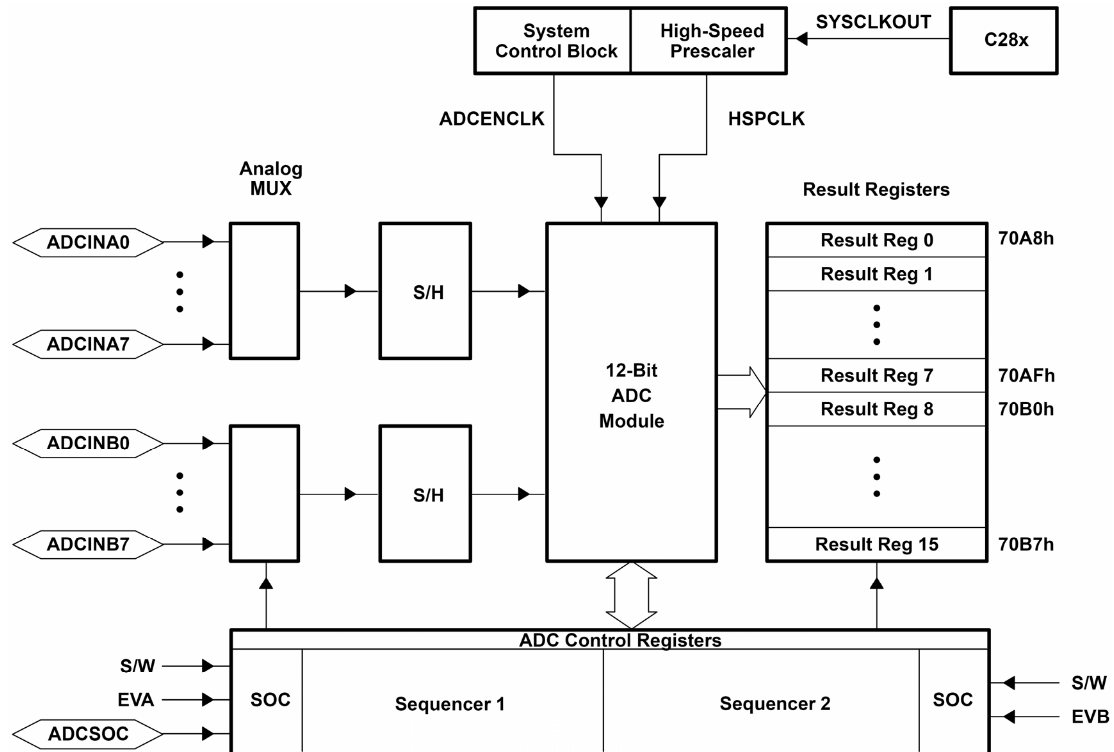
2.6.3 CAN 引脚和信号

‘F2812 的 CAN 总线控制器有两个引脚，接收引脚 CANRxA 和发送引脚 CANTxA。

‘F2812 的 CAN 控制器的详细说明和编程操作请参考《***TMS320F28x Enhanced Controller Area Network (eCAN) Reference Guide***》。

2.7 ADC

TMS320F2812 片上有 1 个 12-位 A/D 转换器，其前端为 2 个 8 选 1 多路切换器和 2 路同时采样／保持器，构成 16 个模拟输入通道，模拟通道的切换由硬件自动控制，并将各模拟通道的转换结果顺序存入 16 个结果寄存器中。ADC 模块如下图所示：



2.7.1 ADC 特点

- 带 2 个 8 选 1 多路切换器和双采样 / 保持器的 12-位的 ADC，共有 16 个模拟输入通道；
- 模拟量输入范围：0.0V～3.0V；
- 转换率：在 25MHz 的 ADC 时钟下为 80ns；
- 自动排序功能可以提供一次触发顺序转换 16 通道模拟输入，每次转换能够编程选择 16 通道的任何 1 个；
- 排序可以选择 2 个独立的 8 通道排序或者是 1 个大的 16 通道排序；
- 转换结果存储在 16 个结果寄存器中；
- 转换结果=4095×（输入的模拟信号-ADCLO）÷3；
- 多种 A/D 触发方式：软件启动、EVA 和 EVB；
- 中灵活断方式：可以在每次转换结束或每隔一次转换结束触发中断；

2.7.2 ADC 的管脚和信号

ADC 引脚由模拟量输入部分、ADC 设置部分和 ADC 电源三部分构成。

- 模拟量输入部分：

A 通道输入：　ADCINA0～ADCINA7
B 通道输入：　ADCINB0～ADCINB7

- ADC 设置部分：

ADC 电压参考输出（2V）：　ADCREFP
ADC 电压参考输出（1V）：　ADCREFM
ADC 外部电流旁路电阻：　ADCRESEXT
测试管脚：　ADCBGREFIN
ADC 模拟地：　AVSSREFBG
ADC 模拟电源：　AVDDREFBG
ADC 公共地：　ADCLO

- ADC 电源：

ADC 模拟地：　VSSA1、VSSA2
ADC 模拟电源：　VDDA1、VDDA2
ADC 数字地：　VSS1
ADC 数字电源：　VDD1
ADC 模拟 I/O 地：　VDDAIO
ADC 模拟 I/O 电源：　VSSAIO

2.7.3 ADC 转换步骤

- 初始化 DSP 系统；
- 设置 PIE 中断矢量表，
- 初始化 ADC 模块；
- 将 ADC 中断的入口地址装入 PIE 中断矢量表中，开中断；
- 软件启动 ADC 转换；
- 等待 ADC 中断；
- 在 ADC 中断中读取 ADC 转换结果，软件启动下一次 ADC 中断。

‘F2812 的 A/D 转换器的详细说明和编程操作请参考《***TMS320F28x Analog to Digital Converter (ADC) Reference Guide***》。

2.8 事件管理器

TMS320F2812 是专门为电机控制而优化设计的，其上有二个事件管理器，分别为 EVA 和 EVB。

每个事件管理器有 2 个 16-位定时器、3 个全比较器、3 个事件捕捉器、1 个正交编码脉冲通道。定时器 1 为全比较器提供时基，而定时器 2 或 1 用来为事件捕捉器提供时基。

每个事件管理器中均包含 2 个 16-位通用定时器，每个定时器均伴有 1 个定时器比较器 TxCMP，所以每个定时器对应有：时钟输入、计数方向控制和定时器比较输出。

时钟输入：每个定时器的时钟输入有 2 个来源，一为内部 HSPCLK 分频（有 8 种分频系数，2n（n = 0、1、……、7）），另一个为外部时钟输入 TCLKINA（每个事件管理器中的 2 个定时器共用 1 个外部时钟输入）。

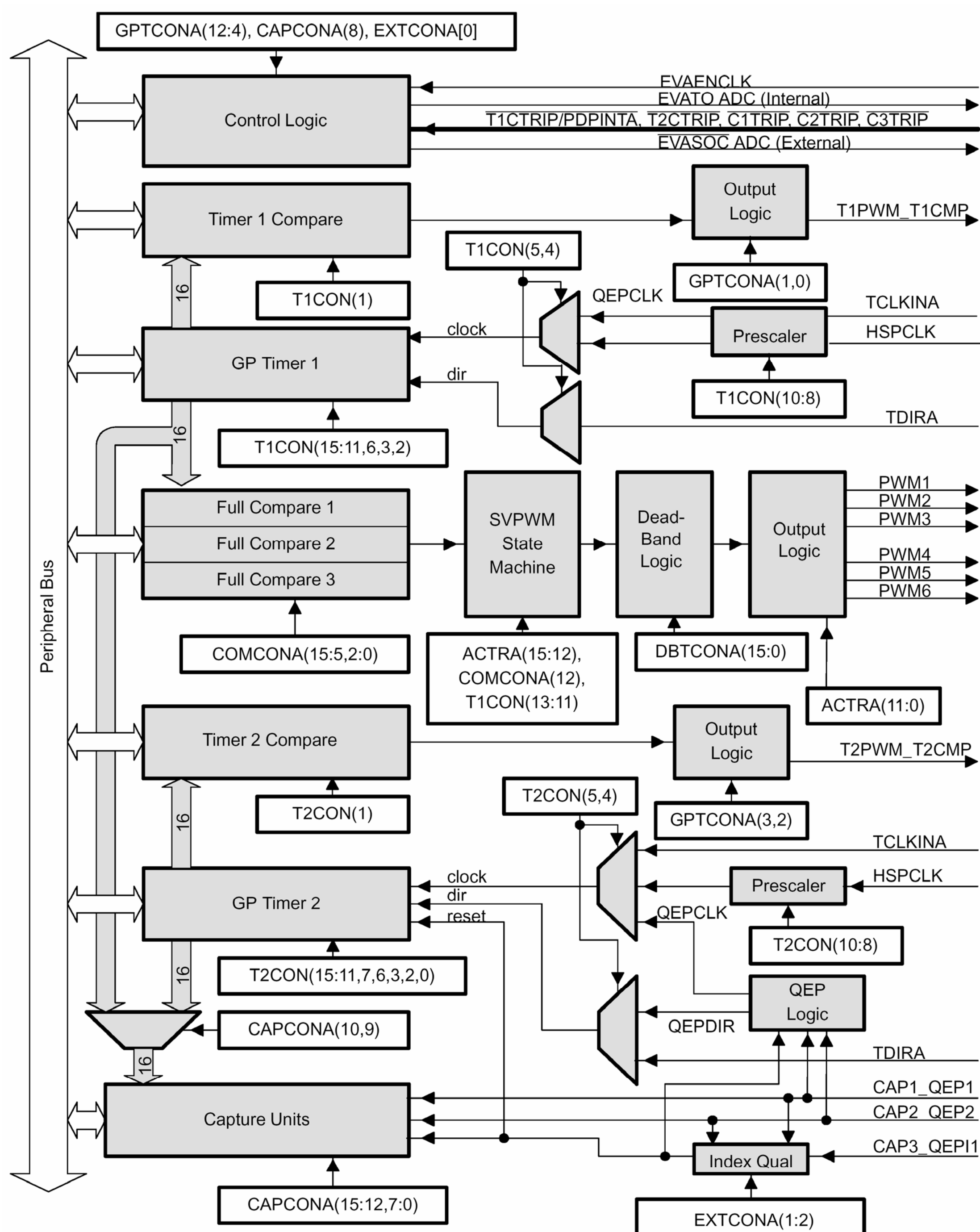
计数方向控制：每个定时器有多种计数方式（不计数、连续上计数、连续下计数和上／下计数），在上／下计数方式时，计数方向由外部引脚 TDIRA 控制，TDIRA 为 0 为下计数，TDIRA 为 1 为上计数。每个时基管理中的 2 个定时器共用 1 个外部计数方向控制信号 TDIRA。

定时器比较器输出：每个定时器均伴有 1 个定时器比较器，其有一个比较结果输出引脚 TxPWM_TxCMP。

3 个全比较器，以定时器 1 作为时基输入，产生 3 对（6 个）比较结果输出，再结合 PWM 电路（空间矢量 PWM 状态机、死区电路和输出电路）产生 6 个 PWM 输出。比较寄存器采用双缓冲，使重装和更新分开。

3 个捕捉引脚，与标准的 3 引脚正交脉冲编码 QEP 复用。

事件管理器的功能框图如下图所示：



NOTE A: The EVB module is similar to the EVA module.

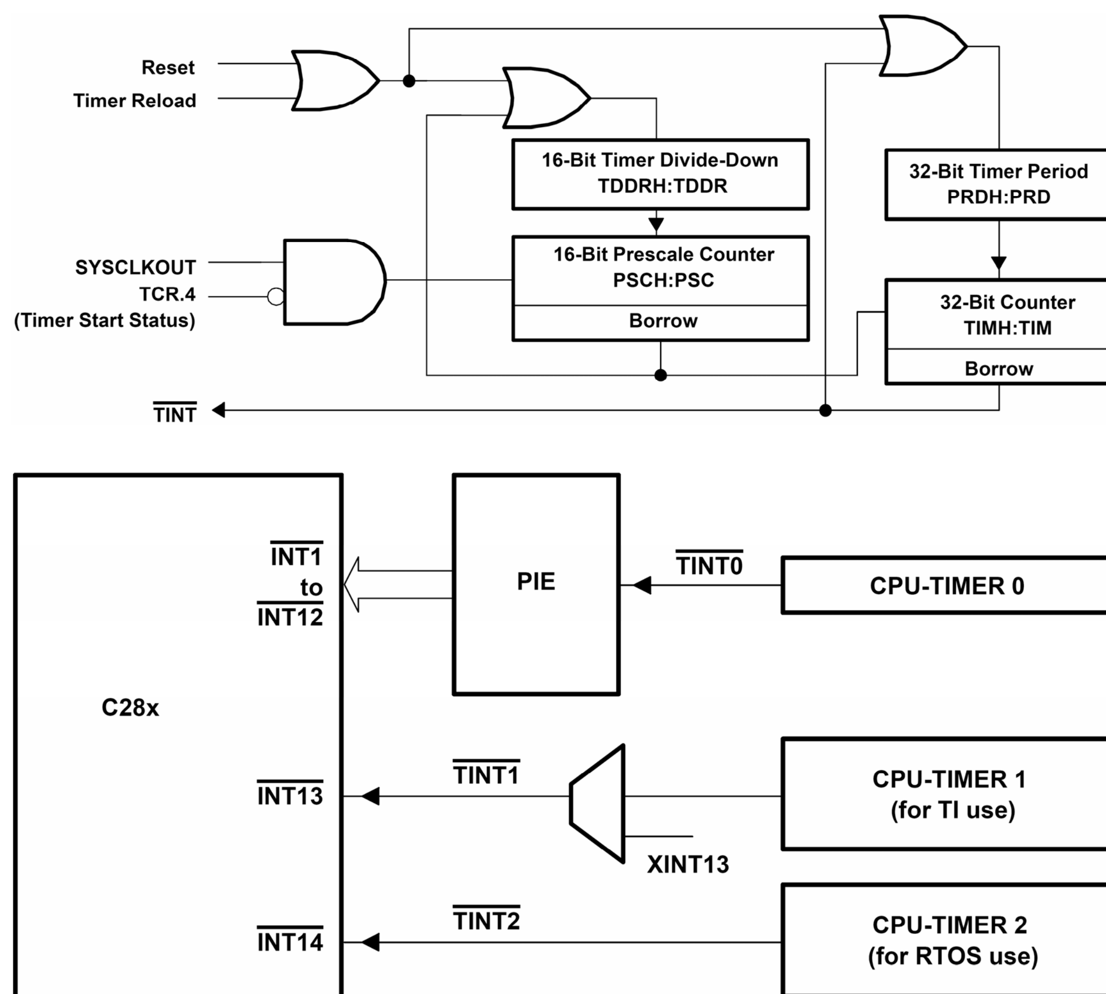
‘F2812 的事件管理器的详细说明和编程操作请参考《***TMS320F28x Event Manager (EV) Reference Guide***》。

2.9 定时器

TMS320F2812 片上有 3 个 32-位 CPU 定时器，分别被称为 CPU 定时器 0、1 和 2。每个定时器中均有一个 32-位减计数器，当计数器减到 0 时，产生一个中断。其中，CPU 定时器 0 的中断 TINT0 为 PIE 中断，CPU 定时器 1 的中断 TINT1 直接连到 CPU 中断的 INT13，CPU 定时器 2 的中断 TINT2 直接连到 CPU 中断的 INT14。CPU 定时器 1 和 2 保留为实时操作系统（如 DSP BIOS）使用，而 CPU 定时器 0 则可被用户使用，SEED-DSK2812 未使用 CPU 定时器 0，用户可以根据应用的需要灵活使用。

另外，请注意与事件管理器中的通用定时器的区别。

CPU 定时器的原理框图和定时中断如下图所示：



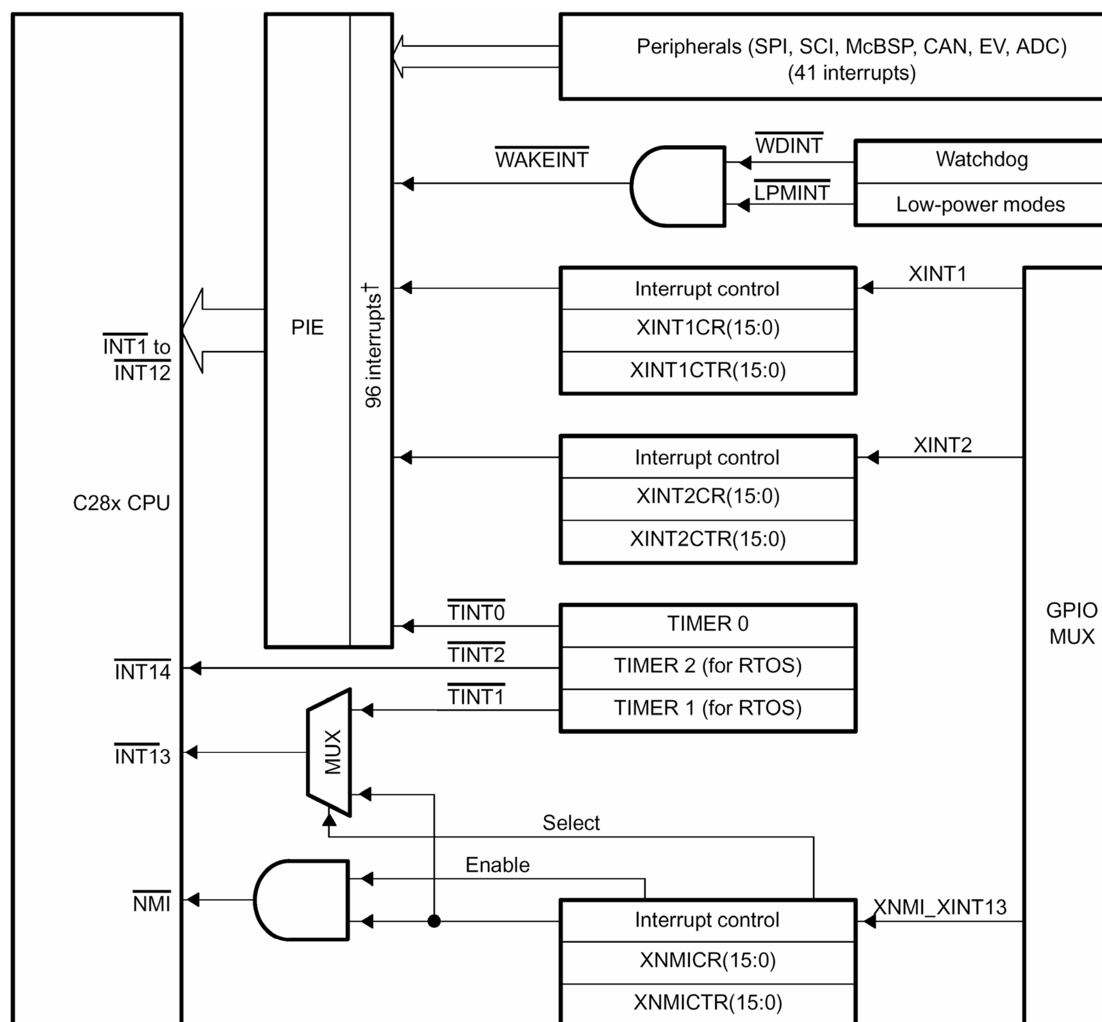
'F2812 的 CPU 定时器的详细说明和编程操作请参考《***TMS320F28x DSP CPU and Instruction Set Reference Guide***》。

2.10 复位与中断

2.10.1 ‘F2812 中断的概述

由于 TMS320F28x 系列 DSP 片上有非常丰富的外设，每个片上外设均可产生 1 个或多个中断请求，所以 TMS320F28x 系列 DSP 的复位和中断要比其他系列 DSP 复杂。

TMS320F28x 系列 DSP 的中断由 2 级组成，一级是 PIE 中断，另一级是 CPU 中断，它们的构成如下图所示：



F28x 有 32 个 CPU 中断源，包括复位 RESET、MNI、EMUINT、ILLEGAL、12 个用户定义的软件中断 USER1～USER12 和 16 个可屏蔽中断（INT1～INT14、RTOSINT 和 DLOGINT），RTOSINT 和 DLOGINT 由 CPU 内部的仿真逻辑产生。所有的软件中断属于非屏蔽中断。

而 F28x 系列 DSP 上有很多片上外设，每个片上外设可能产生 1 个或多个中断请求，以响应众多的片上外设事件。

CPU 没有足够的中断源来管理所有的片外外设中断请求，所以在 F28x 系列 DSP 中设置了一个外设中断扩展控制器（PIE）来管理片上外设和外部引脚引起的中断请求。

F28x 系列 DSP 的片上外设中断共有 96 个，被分为 12 个组，每组内有 8 个片上外设中断请求，因此 96 个片上外设中断请求信号可记为 INTx.y（x = 1，2，……，12；y = 1，2，……，8）。每个组输出一个中断请求信号给 CPU，也即是 PIE 的输出 INTx（x = 1，2，……，12）对应于 CPU 中断输入的 INT1～INT12。

每个中断源对应一个中断向量（对应的中断服务程序 ISR 的入口地址），无论此中断源是否与别的中断源复用一个 CPU 中断输入。F28x 在片上外设结构 0 中开辟了一块大小为 256×16-位（128×32-位，对应 128 个中断向量）的储存空间，专门用作 PIE 的中断向量表，用于存放每个中断源所对应的中断服务程序的入口地址。

在复位时，F28x 的 PIE 被禁止，所以只有 32 个 CPU 中断，所以也只需 32 个中断向量，而当 PIE 被使能后，除了 32 个 CPU 中断外，还有 96 个 PIE 中断，所以需要 32 + 96 = 128 个中断向量。从而使得 CPU 的中断向量表与 PIE 的中断向量表不同，它们在存储空间的定位也不同，CPU 中断向量表的定位有 4 种形式，而 PIE 中断向量表只有 1 种定位形式，如下表所示：

向量映射	向量取自	地址范围	**VMAP**	**M0M1MAP**	**MP/$\overline{MC}$**	**ENPIE**
M1 向量	M1 SARAM	0x00,0000 0x00,003F	0	0	X	X
M0 向量	M0 SARAM	0x00,0000 0x00,003F	0	1	X	X
BROM 向量	Boot ROM	0x3F,FFC0 0x3F,FFFF	1	X	0	0
XINTF 向量	XINTF Zone 7	0x3F,FFC0 0x3F,FFFF	1	X	1	0
PIE 向量	PIE	0x00,0D00 0x00,0DFF	1	X	X	1

注：

† 当'F2812 复位时，VMAP、M0M1MAP 被置为“1”，而 ENPIE 被清为“0”

CPU 中断向量表如下图所示：

中断源	中断向量地址		优先级	说明
	VMAP = 0	**VMAP = 1**		
RESET	0x00 0000	0x3F FFC0	1（最高）	复位
INT1	0x00 0002	0x3F FFC2	5	可屏蔽中断 1
INT2	0x00 0004	0x3F FFC4	6	可屏蔽中断 2

INT3	0x00 0006	0x3F FFC6	7	可屏蔽中断 3
INT4	0x00 0008	0x3F FFC8	8	可屏蔽中断 4
INT5	0x00 000A	0x3F FFCA	9	可屏蔽中断 5
INT6	0x00 000C	0x3F FFCC	10	可屏蔽中断 6
INT7	0x00 000E	0x3F FFCE	11	可屏蔽中断 7
INT8	0x00 0010	0x3F FFD0	12	可屏蔽中断 8
INT9	0x00 0012	0x3F FFD2	13	可屏蔽中断 9
INT10	0x00 0014	0x3F FFD4	14	可屏蔽中断 10
INT11	0x00 0016	0x3F FFD6	15	可屏蔽中断 11
INT12	0x00 0018	0x3F FFD8	16	可屏蔽中断 12
INT13	0x00 001A	0x3F FFDA	17	可屏蔽中断 13
INT14	0x00 001C	0x3F FFDC	18	可屏蔽中断 14
DLOGINT	0X00 001E	0X3F FFDE	19（最低）	可屏蔽数据记录中断
RTOSINT	0x00 0020	0x3F FFE0	4	可屏蔽实时操作系统中断
EMUINT	0x00 0022	0x3F FFE2	2	仿真中断
MNI	0x00 0024	0x3F FFE4	3	不可屏蔽中断
ILLEGAL	0x00 0026	0x3F FFE6	—	非法指令陷阱
USER1	0x00 0028	0x3F FFE8	—	用户定义的软件中断
USER2	0x00 002A	0x3F FFEA	—	用户定义的软件中断
USER3	0x00 002C	0x3F FFEC	—	用户定义的软件中断
USER4	0X00 002E	0X3F FFEE	—	用户定义的软件中断
USER5	0x00 0030	0x3F FFF0	—	用户定义的软件中断
USER6	0x00 0032	0x3F FFF2	—	用户定义的软件中断
USER7	0x00 0034	0x3F FFF4	—	用户定义的软件中断
USER8	0X00 0036	0X3F FFF6	—	用户定义的软件中断
USER9	0x00 0038	0x3F FFF8	—	用户定义的软件中断
USER10	0x00 003A	0x3F FFFA	—	用户定义的软件中断
USER11	0x00 003C	0x3F FFFC	—	用户定义的软件中断
USER12	0X00 003E	0X3F FFFE	—	用户定义的软件中断

PIE 中断向量表如下图所示：

中断名	中断号	地址	**CPU** 优先级	**PIE** 组内 优先级	说明
CPU 中断向量					
RESET	0	0x00 0D00	1（最高）	—	复位时，总是从 Boot ROM 或 XINTF 的 Zone 7 的 0x3F FFC0 处取指
INT1	1	0x00 0D02	5	—	未用，见 PIE 组 1
INT2	2	0x00 0D04	6	—	未用，见 PIE 组 2
INT3	3	0x00 0D06	7	—	未用，见 PIE 组 3
INT4	4	0x00 0D08	8	—	未用，见 PIE 组 4

INT5	5	0x00 0D0A	9	—	未用，见 PIE 组 5
INT6	6	0x00 0D0C	10	—	未用，见 PIE 组 6
INT7	7	0x00 0D0E	11	—	未用，见 PIE 组 7
INT8	8	0x00 0D10	12	—	未用，见 PIE 组 8
INT9	9	0x00 0D12	13	—	未用，见 PIE 组 9
INT10	10	0x00 0D14	14	—	未用，见 PIE 组 10
INT11	11	0x00 0D16	15	—	未用，见 PIE 组 11
INT12	12	0x00 0D18	16	—	未用，见 PIE 组 12
INT13	13	0x00 0D1A	17	—	外部引脚 XNMI_XINT13 或片上 CPU 定时器 1 引起的中断
INT14	14	0x00 0D1C	18	—	片上 CPU 定时器 2 引起的中断
DLOGINT	15	0x00 0D1E	19（最低）	—	可屏蔽数据记录中断
RTOSINT	16	0x00 0D20	4	—	可屏蔽实时操作系统中断
EMUINT	17	0x00 0D22	2	—	仿真中断
MNI	18	0x00 0D24	3	—	不可屏蔽中断
ILLEGAL	19	0x00 0D26	—	—	非法指令陷阱
USER1	20	0x00 0D28	—	—	用户定义的软件中断
USER2	21	0x00 0D2A	—	—	用户定义的软件中断
USER3	22	0x00 0D2C	—	—	用户定义的软件中断
USER4	23	0x00 0D2E	—	—	用户定义的软件中断
USER5	24	0x00 0D30	—	—	用户定义的软件中断
USER6	25	0x00 0D32	—	—	用户定义的软件中断
USER7	26	0x00 0D34	—	—	用户定义的软件中断
USER8	27	0x00 0D36	—	—	用户定义的软件中断
USER9	28	0x00 0D38	—	—	用户定义的软件中断
USER10	29	0x00 0D3A	—	—	用户定义的软件中断
USER11	30	0x00 0D3C	—	—	用户定义的软件中断
USER12	31	0x00 0D3E	—	—	用户定义的软件中断
PIE 组 1 中断向量一使用 CPU 的 INT1 中断					
INT1.1	32	0x00 0D40	5	1（最高）	PDPINTA 片上事件管理器 A
INT1.2	33	0x00 0D42	5	2	PDPINTB 片上事件管理器 B
INT1.3	34	0x00 0D44	5	3	保留
INT1.4	35	0x00 0D46	5	4	XINT1 外部引脚 XINT1
INT1.5	36	0x00 0D48	5	5	XINT2 外部引脚 XINT2
INT1.6	37	0x00 0D4A	5	6	ADCINT 片上 ADC 引起的中断

INT1.7	38	0x00 0D4C	5	7	TINT0 片上定时器 0 引起的中断
INT1.8	39	0x00 0D4E	5	8（最低）	WAKEINT 片上低功耗 / 看门狗电路引起的中断
PIE 组 2 中断向量—使用 CPU 的 INT2 中断					
INT2.1	40	0x00 0D50	6	1（最高）	CMP1INT 片上事件管理器 A
INT2.2	41	0x00 0D52	6	2	CMP2INT 片上事件管理器 A
INT2.3	42	0x00 0D54	6	3	CMP3INT 片上事件管理器 A
INT2.4	43	0x00 0D56	6	4	T1PINT 片上事件管理器 A
INT2.5	44	0x00 0D58	6	5	T1CINT 片上事件管理器 A
INT2.6	45	0x00 0D5A	6	6	T1UFINT 片上事件管理器 A
INT2.7	46	0x00 0D5C	6	7	T1OFINT 片上事件管理器 A
INT2.8	47	0x00 0D5E	6	8（最低）	保留
PIE 组 3 中断向量—使用 CPU 的 INT3 中断					
INT3.1	48	0x00 0D60	7	1（最高）	T2PINT 片上事件管理器 A
INT3.2	49	0x00 0D62	7	2	T2CINT 片上事件管理器 A
INT3.3	50	0x00 0D64	7	3	T2UFINT 片上事件管理器 A
INT3.4	51	0x00 0D66	7	4	T2OFINT 片上事件管理器 A
INT3.5	52	0x00 0D68	7	5	CAPINT1 片上事件管理器 A
INT3.6	53	0x00 0D6A	7	6	CAPINT2 片上事件管理器 A
INT3.7	54	0x00 0D6C	7	7	CAPINT3 片上事件管理器 A
INT3.8	55	0x00 0D6E	7	8（最低）	保留
PIE 组 4 中断向量—使用 CPU 的 INT4 中断					
INT4.1	56	0x00 0D70	8	1（最高）	CMP4INT 片上事件管理器 B
INT4.2	57	0x00 0D72	8	2	CMP5INT 片上事件管理器 B

INT4.3	58	0x00 0D74	8	3	CMP6INT 片上事件管理器 B
INT4.4	59	0x00 0D76	8	4	T3PINT 片上事件管理器 B
INT4.5	60	0x00 0D78	8	5	T3CINT 片上事件管理器 B
INT4.6	61	0x00 0D7A	8	6	T3UFINT 片上事件管理器 B
INT4.7	62	0x00 0D7C	8	7	T3OFINT 片上事件管理器 B
INT4.8	63	0x00 0D7E	8	8（最低）	保留
PIE 组 5 中断向量—使用 CPU 的 INT5 中断					
INT5.1	64	0x00 0D80	9	1（最高）	T4PINT 片上事件管理器 B
INT5.2	65	0x00 0D82	9	2	T4CINT 片上事件管理器 B
INT5.3	66	0x00 0D84	9	3	T4UFINT 片上事件管理器 B
INT5.4	67	0x00 0D86	9	4	T4OFINT 片上事件管理器 B
INT5.5	68	0x00 0D88	9	5	CAPINT4 片上事件管理器 B
INT5.6	69	0x00 0D8A	9	6	CAPINT5 片上事件管理器 B
INT5.7	70	0x00 0D8C	9	7	CAPINT6 片上事件管理器 B
INT5.8	71	0x00 0D8E	9	8（最低）	保留
PIE 组 6 中断向量—使用 CPU 的 INT6 中断					
INT6.1	72	0x00 0D90	10	1（最高）	SPIRXINTA 片上 SPI
INT6.2	73	0x00 0D92	10	2	SPITXINTA 片上 SPI
INT6.3	74	0x00 0D94	10	3	保留
INT6.4	75	0x00 0D96	10	4	保留
INT6.5	76	0x00 0D98	10	5	MRINT 片上 McBSP
INT6.6	77	0x00 0D9A	10	6	MXINT 片上 McBSP
INT6.7	78	0x00 0D9C	10	7	保留
INT6.8	79	0x00 0D9E	10	8（最低）	保留
PIE 组 7 中断向量—使用 CPU 的 INT7 中断					
INT7.1	80	0x00 0DA0	11	1（最高）	保留

INT7.2	81	0x00 0DA2	11	2	保留
INT7.3	82	0x00 0DA4	11	3	保留
INT7.4	83	0x00 0DA6	11	4	保留
INT7.5	84	0x00 0DA8	11	5	保留
INT7.6	85	0x00 0DAA	11	6	保留
INT7.7	86	0x00 0DAC	11	7	保留
INT7.8	87	0x00 0DAE	11	8（最低）	保留
PIE 组 8 中断向量—使用 CPU 的 INT8 中断					
INT8.1	88	0x00 0DB0	12	1（最高）	保留
INT8.2	89	0x00 0DB2	12	2	保留
INT8.3	90	0x00 0DB4	12	3	保留
INT8.4	91	0x00 0DB6	12	4	保留
INT8.5	92	0x00 0DB8	12	5	保留
INT8.6	93	0x00 0DBA	12	6	保留
INT8.7	94	0x00 0DBC	12	7	保留
INT8.8	95	0x00 0DBE	12	8（最低）	保留
PIE 组 9 中断向量—使用 CPU 的 INT9 中断					
INT9.1	96	0x00 0DC0	13	1（最高）	SCIRXINTA 片上 SCI 通道 A
INT9.2	97	0x00 0DC2	13	2	SCITXINTA 片上 SCI 通道 A
INT9.3	98	0x00 0DC4	13	3	SCIRXINTB 片上 SCI 通道 B
INT9.4	99	0x00 0DC6	13	4	SCITXINTB 片上 SCI 通道 B
INT9.5	100	0x00 0DC8	13	5	eCAN0INT 片上 eCAN
INT9.6	101	0x00 0DCA	13	6	eCAN1INT 片上 eCAN
INT9.7	102	0x00 0DCC	13	7	保留
INT9.8	103	0x00 0DCE	13	8（最低）	保留
PIE 组 10 中断向量—使用 CPU 的 INT10 中断					
INT10.1	104	0x00 0DD0	14	1（最高）	保留
INT10.2	105	0x00 0DD2	14	2	保留
INT10.3	106	0x00 0DD4	14	3	保留
INT10.4	107	0x00 0DD6	14	4	保留
INT10.5	108	0x00 0DD8	14	5	保留
INT10.6	109	0x00 0DDA	14	6	保留
INT10.7	110	0x00 0DDC	14	7	保留
INT10.8	111	0x00 0DDE	14	8（最低）	保留
PIE 组 11 中断向量—使用 CPU 的 INT11 中断					
INT11.1	112	0x00 0DE0	15	1（最高）	保留

INT11.2	113	0x00 0DE2	15	2	保留
INT11.3	114	0x00 0DE4	15	3	保留
INT11.4	115	0x00 0DE6	15	4	保留
INT11.5	116	0x00 0DE8	15	5	保留
INT11.6	117	0x00 0DEA	15	6	保留
INT11.7	118	0x00 0DSK	15	7	保留
INT11.8	119	0x00 0DEE	15	8（最低）	保留
PIE 组 12 中断向量－使用 CPU 的 INT12 中断					
INT12.1	120	0x00 0DF0	16	1（最高）	保留
INT12.2	121	0x00 0DF2	16	2	保留
INT12.3	122	0x00 0DF4	16	3	保留
INT12.4	123	0x00 0DF6	16	4	保留
INT12.5	124	0x00 0DF8	16	5	保留
INT12.6	125	0x00 0DFA	16	6	保留
INT12.7	126	0x00 0DFC	16	7	保留
INT12.8	127	0x00 0DFE	16	8（最低）	保留

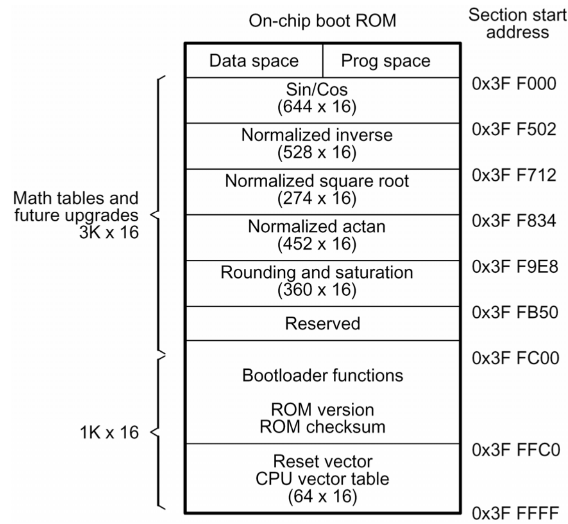
F28x 系列 DSP 的 96 个可能的 PIE 中断源中有 45 个被 TMS320F2812 所使用，其余的被保留作以后的 DSP 器件使用。

F28x 系列 DSP 的 CPU 在响应中断时，由硬件自动将多达 12 个 16-位 CPU 寄存器保存到堆栈中，这 12 个 CPU 寄存器是：ST0、T、AL、AH、PL、PH、AR0、AR1、ST1、DP、IER、DBGSTAT，紧接着保存返回地址（先低后高）。同样，在中断返回时，由硬件自动退栈，并恢复上述这些 CPU 寄存器。

2.10.2 ‘F2812 复位操作

‘F2812 复位时，终止所有的当前操作，使 CPU 进入已知的初始状态，刷新流水线操作，复位所有的 CPU 寄存器，复位相关的信号的状态。复位完成后，CPU 从 0x3F,FFC0H 处取复位向量到 PC 寄存器中，然后开始执行程序。如果 XMP/$\overline{\text{MC}}$ 引脚为低电平，则程序空间高 16K×16-位映射为片上 Boot ROM，片上 Boot ROM 在 0x3F,FFC0H 单元中存放 0x3F,FC00H，也即程序将从片上 Boot ROM 的 0x3F,FC00H 处开始执行，片上 Boot ROM 中 0x3F,FC00H 起始的 1K×16-位存储空间中存放的是 BootLoader 程序。如果 XMP/$\overline{\text{MC}}$ 引脚为高电平，则程序空间高 16K×16-位映射为片外 Zone 7，用户应该在 Zone 7 的 0x3F,FFC0H 处存放 CPU 中断向量表。

‘F28x 片上 Boot ROM 中存放的内容如下图所示：



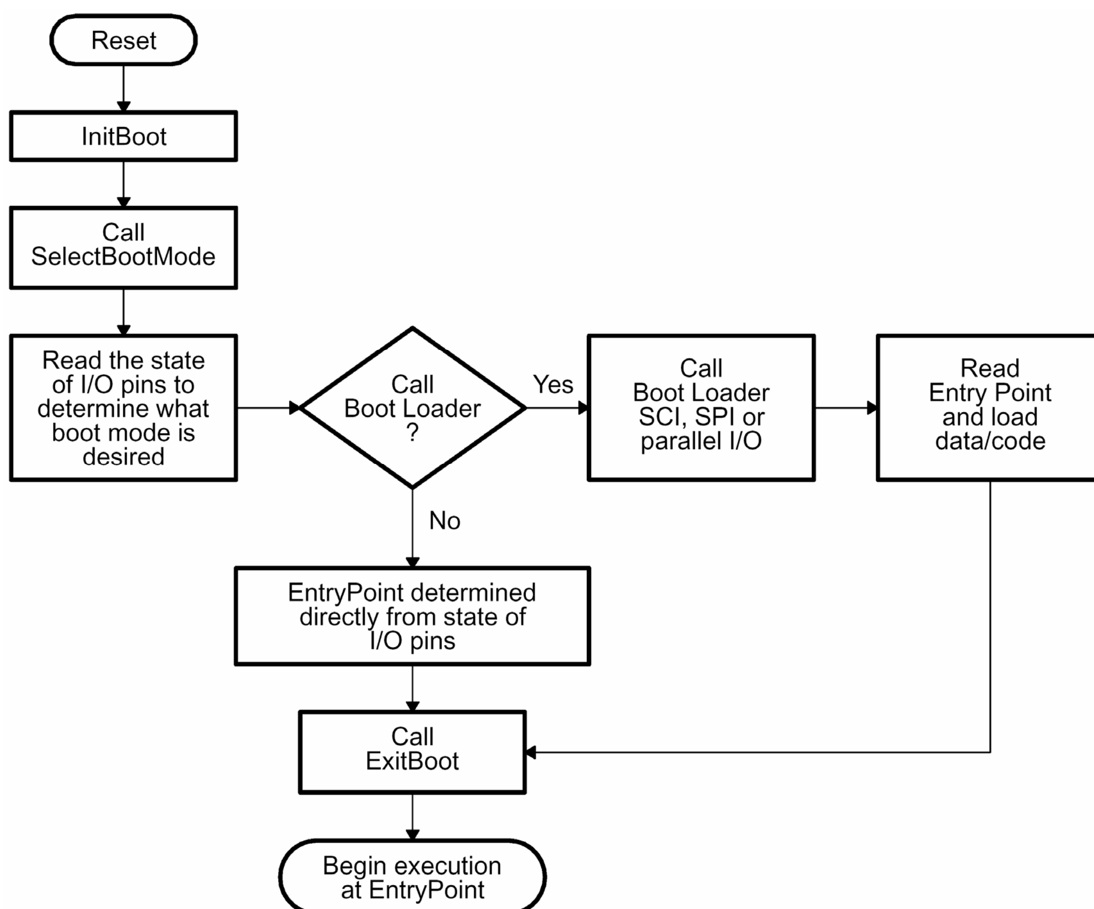
Boot ROM 版本和校验和信息如下图所示：

Address	Contents
0x3F FFBA	Boot ROM Version Number
0x3F FFBB	MM/YY of release (in decimal)
0x3F FFBC	Least significant word of checksum
0x3F FFBD	...
0x3F FFBE	...
0x3F FFBF	Most significant word of checksum

Boot ROM 中 CPU 中断向量表内容如下图所示：

Vector	Location in Boot ROM	Contents (ie points to)	Vector	Location in Boot ROM	Contents (ie points to)
RESET	0x3F FFC0	InitBoot (0x3F FC00)	RTOSINT	0x3F FFE0	0x00 0060
INT1	0x3F FFC2	0x00 0042	Reserved	0x3F FFE2	0x00 0062
INT2	0x3F FFC4	0x00 0044	NMI	0x3F FFE4	0x00 0064
INT3	0x3F FFC6	0x00 0046	ILLEGAL	0x3F FFE6	0x00 0066
INT4	0x3F FFC8	0x00 0048	USER1	0x3F FFE8	0x00 0068
INT5	0x3F FFCA	0x00 004A	USER2	0x3F FFEA	0x00 006A
INT6	0x3F FFCC	0x00 004C	USER3	0x3F FFEC	0x00 006C
INT7	0x3F FFCE	0x00 004E	USER4	0x3F FFEE	0x00 006E
INT8	0x3F FFD0	0x00 0050	USER5	0x3F FFF0	0x00 0070
INT9	0x3F FFD2	0x00 0052	USER6	0x3F FFF2	0x00 0072
INT10	0x3F FFD4	0x00 0054	USER7	0x3F FFF4	0x00 0074
INT11	0x3F FFD6	0x00 0056	USER8	0x3F FFF6	0x00 0076
INT12	0x3F FFD8	0x00 0058	USER9	0x3F FFF8	0x00 0078
INT13	0x3F FFDA	0x00 005A	USER10	0x3F FFFA	0x00 007A
INT14	0x3F FFDC	0x00 005C	USER11	0x3F FFFC	0x00 007C
DLOGINT	0x3F FFDE	0x00 005E	USER12	0x3F FFFE	0x00 007E

Boot ROM 中 BootLoader 函数的功能如下图所示：



有 6 种 BootLoader 方式，由 4 个 GPIO 引脚来选择，如下图所示：

GPIOF4 (SCITXDA)	GPIOF12 (MDXA)	GPIOF3 (SPISTEA)	GPIOF2 (SPICLK)	
PU	No PU	No PU	No PU	Mode Selected
1	x	x	x	**Jump to Flash** address 0x3F 7FF6 User must have programmed a branch instruction here prior to reset to re-direct code execution as they desire
0	1	x	x	**Call SPI_Boot** to load from an external serial SPI EEPROM
0	0	1	1	**Call SCI_Boot** to load from SCI-A
0	0	1	0	**Jump to H0 SARAM** address 0x3F 8000
0	0	0	1	**Jump to OTP** address 0x3D 7800
0	0	0	0	**Call Parallel_Boot** to load from GPIO Port B

TMS320F2812 复位工作过程：

XMP/$\overline{\mathrm{MC}}$ 片内已下拉，工作在 $\overline{\mathrm{MC}}$ 方式，上电从片内 Boot ROM 中执行程序，选择 Jump to Flash Boot 方式，GPIOF4 片内已上拉，程序将跳转到片内 Flash 的 0x3F,7FF6H 处，在 0x3F,7FF6H 存放跳转指令，跳转到实际的应用程序中，应用程序首先初始化 PIE 中断向量表，然后使能 PIE。注意用 Jump to Flash Boot 方式时，没有停止片内看门狗电路，所以应在规定的时间内刷新看门狗电路，否则将导致看门狗溢出，产生复位。

CPU 寄存器的复位状态如下表：

Register	Bit(s)	Value After Reset	Comments
ACC	all	$0000\ 0000_{16}$	
XAR0	all	$0000\ 0000_{16}$	
XAR1	all	$0000\ 0000_{16}$	
XAR2	all	$0000\ 0000_{16}$	
XAR3	all	$0000\ 0000_{16}$	
XAR4	all	$0000\ 0000_{16}$	
XAR5	all	$0000\ 0000_{16}$	
XAR6	all	$0000\ 0000_{16}$	
XAR7	all	$0000\ 0000_{16}$	
DP	all	0000_{16}	DP points to data page 0.
IFR	16 bits	0000_{16}	There are no pending interrupts. All interrupts pending at the time of reset have been cleared.
IER	16 bits	0000_{16}	Maskable interrupts are disabled in the IER.
DBGIER	all	0000_{16}	Maskable interrupts are disabled in the DBGIER.

Register	Bit(s)	Value After Reset	Comments
P	all	$0000\ 0000_{16}$	
PC	all	$3F\ FFC0_{16}$	PC is loaded with the reset interrupt vector at program-space address $00\ 0000_{16}$ or $3F\ FFC0_{16}$.
RPC	all	0000_{16}	
SP	all	SP = 0x400	SP points to address 0400.
ST0	0: SXM	0	Sign extension is suppressed.
	1: OVM	0	Overflow mode is off.
	2: TC	0	
	3: C	0	
	4: Z	0	
	5: N	0	
	6: V	0	
	7–9: PM	000_2	The product shift mode is set to left-shift-by-1.
	10–15: OVC	$00\ 0000_2$	

Register	Bit(s)	Value After Reset	Comments
ST1‡	0: INTM	1	Maskable interrupts are globally disabled. They cannot be serviced unless the C28x is in real-time mode with the CPU halted.
	1: DBGM	1	Emulation accesses and events are disabled.
	2: PAGE0	0	PAGE0 stack addressing mode is enabled. PAGE0 direct addressing mode is disabled.
	3: VMAP	1	The interrupt vectors are mapped to program-memory addresses 3F $FFC0_{16}$–3F $FFFF_{16}$.
	4: SPA	0	
	5: LOOP	0	
	6: EALLOW	0	Access to emulation registers is disabled.
	7: IDLESTAT	0	
	8: AMODE	0	C27x/C28x addrssing mode
	9: OBJMODE	0	C27x object mode
	10: Reserved	0	
	11: M0M1MAP	1	
	12: XF	0	XFS output signal is low
	13–15: ARP	000_2	ARP points to AR0.
XT	all	0000 0000_{32}	

2.10.3 SEED-DSK2812 的复位与中断的实际使用

2.10.3.1 SEED-DSK2812 的复位

在 SEED-DSK2812 板上有四个复位源：上电复位、手动复位、看门狗电路与电源监测。任何一个复位有效，将导致整个系统复位。

SEED-DSK2812 的看门狗电路直接采用 TMS320F2812 片上自带看门狗电路，其原理框图如下图所示：

‘F2812 片上的看门狗电路为一 8-位加计数器，当其加计数到最大值，并溢出翻转时，将产生复位脉冲或中断请求输出。加计数器的输入时钟可由 WDCR 寄存器选择，从而使看门狗电路作用周期在一定范围内可编程设定；另外，通过对 WDKEY 寄存器顺序写入 0x55+0xAA，使加计数器清为 0，所以只要在溢出周期内周期性地对 WDKEY 寄存器写入 0x55+0xAA，可使看门狗电路不发生溢出；另外，通过 WDCR 还可以禁止看门狗电路工作。

2.10.3.2 SEED-DSK2812 的中断

‘F2812 有 3 个外部中断引脚：XINT1、XINT2 和 XNMI_INT13，每个中断可以设置为上升沿或下降沿触发，也可以被使能或禁止。

在 SEED-DSK2812 板上没有使用外部中断源。

2.11 JTAG

‘F2812 的仿真接口为 JTAG 形式，它能与各种形式的 JTAG 仿真器相连接，实现对’F2812 的仿真与调试。

2.12 ‘F2812 工作方式的配置

SEED-DSK2812 直接将 MP/$\overline{MC}$ 接地，即’F2812 工作在微计算机 $\overline{MC}$ 方式；

SEED-DSK2812 将 SCITXDA 上拉为“1”，即’F2812 工作在“Jump to Flash”上电自举方式。

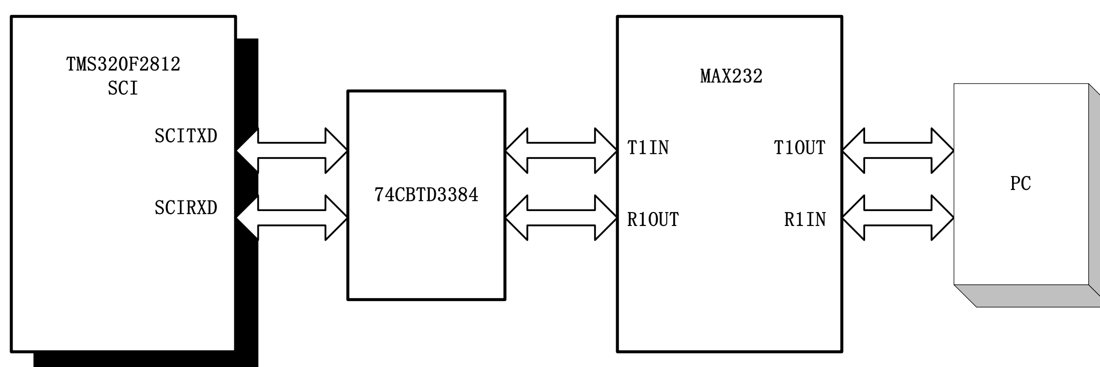
第 **3** 章

RS-232 接口

在 SEED-DSK2812 模板上配置有两个通用异步串口，接口标准只可配置为 RS232，用它可以与计算机及其它设备进行串行通信。

3.1 MAX232

SEED-DSK2812 采用 SCI+MAX232 设计为一标准 RS-232 UART 接口，其中 F2812 的 SCI 口经 74CBTD3384 缓冲与 MAX232 连接，如下图：



3.2 寄存器的设置

DSK2812 通过设置 SCI 的寄存器来实现异步通讯，SCI 寄存器见下表。‘F2812 的 SCI 的详细说明和编程操作请参考《***TMS320F28x Serial Communications Interface (SCI) Reference Guide***》。

Table 2–1. SCIA Registers

Register Mnemonic	Address	Number of Bits	Description
SCICCR	0x0000–7050	1	SCI-A Communications Control Register
SCICTL1	0x0000–7051	1	SCI-A Control Register 1
SCIHBAUD	0x0000–7052	1	SCI-A Baud Register, High Bits
SCILBAUD	0x0000–7053	1	SCI-A Baud Register, Low Bits
SCICTL2	0x0000–7054	1	SCI-A Control Register 2
SCIRXST	0x0000–7055	1	SCI-A Receive Status Register
SCIRXEMU	0x0000–7056	1	SCI-A Receive Emulation Data Buffer Register
SCIRXBUF	0x0000–7057	1	SCI-A Receive Data Buffer Register
SCITXBUF	0x0000–7059	1	SCI-A Transmit Data Buffer Register
SCIFFTX	0x0000–705A	1	SCI-A FIFO Transmit Register
SCIFFRX	0x0000–705B	1	SCI-A FIFO Receive Register
SCIFFCT	0x0000–705C	1	SCI-A FIFO Control Register
SCIPRI	0x0000–705F	1	SCI-A Priority Control Register

Note: The shaded registers operate in enhanced mode.

Table 2–2. SCIB Registers

Name	Address Range	Number of Bits	Description
SCICCR	0x0000–7750	1	SCI-B Communications Control Register
SCICTL1	0x0000–7751	1	SCI-B Control Register 1
SCIHBAUD	0x0000–7752	1	SCI-B Baud Register, High Bits
SCILBAUD	0x0000–7753	1	SCI-B Baud Register, Low Bits
SCICTL2	0x0000–7754	1	SCI-B Control Register 2
SCIRXST	0x0000–7755	1	SCI-B Receive Status Register
SCIRXEMU	0x0000–7756	1	SCI-B Receive Emulation Data Buffer Register
SCIRXBUF	0x0000–7757	1	SCI-B Receive Data Buffer Register
SCITXBUF	0x0000–7759	1	SCI-B Transmit Data Buffer Register
SCIFFTX	0x0000–775A	1	SCI-B FIFO Transmit Register
SCIFFRX	0x0000–775B	1	SCI-B FIFO Receive Register
SCIFFCT	0x0000–775C	1	SCI-B FIFO Control Register
SCIPRI	0x0000–775F	1	SCI-B Priority Control Register

第 **4** 章

电机控制接口

TMS320F2812 是专门为电机控制而优化设计的，其上有二个事件管理器，可以同时实现二台电机的控制。

SEED-DSK2812 模板根据电机控制的特点，将'F2812 上的有关电机控制的信号进行分组，信号被分成二个组，每组用二个连接器，一个接电机控制功率驱动板以实现 PWM 输出和状态反馈，另一个接编码盘以实现电机测速、测角等。

'F2812 上的 PWM1～PWM6、T1PWM_T1CMP、T2PWM_T2CMP 、PDPINTA、TDIRA、TCLKINA、ADCINA0～ADCINA7、VREFLO 和 CPLD 的输入信号 T2CTRIP、C1TRIP～C3TRIP 组成一个接插件 J11，CAP1_QEP1、CAP2_QEP2、CAP3_QEPI1、5V、GND 组成另一个接插件 J12，二者为一组，用来控制一台 3 相电机。

'F2812 上的 PWM7～PWM12、T3PWM_T3CMP、T4PWM_T3CMP 、PDPINTB、TDIRB、TCLKINB、ADCINB0～ADCINB7、VREFLO 和 CPLD 的输入信号 T4CTRIP、C4TRIP～C6TRIP、组成一个接插件 J6，CAP4_QEP3、CAP5_QEP4、CAP6_QEPI2、5V、GND 组成另一个接插件 J13，二者为一组，用来控制另一台 3 相电机。

连接器 J11 采用 2.54mm 间距、26-芯双排插针连接器，其定义如下：

PWM1（O）	1	2	PWM2（O）
PWM3（O）	3	4	PWM4（O）
PWM5（O）	5	6	PWM6（O）
T1PWM_T1CMP（O）	7	8	T2PWM_T2CMP（O）
PDPINTA（I）	9	10	T2CTRIP（I）
TDIRA（I）	11	12	TCLKINA（I）
C1TRIP（I）	13	14	C2TRIP（I）
C3TRIP（I）	15	16	GND
ADCINA7（I）	17	18	ADCINA6（I）
ADCINA5（I）	19	20	ADCINA4（I）
ADCINA3（I）	21	22	ADCINA2（I）
ADCINA1（I）	23	24	ADCINA0（I）
VREFLO（I）	25	26	VREFLO（I）

注：VREFLO 为模拟地，GND 为数字地。

连接器 J12 采用 2mm 间距、5-芯单排插针连接器，其定义如下：

1	2	3	4	5
+5V	CAP1_QEP1（I）	CAP2_QEP2（I）	CAP3_QEPI1（I）	GND

连接器 J6 采用 2.54mm 间距、26-芯双排插针连接器，其定义如下：

PWM7（O）	1	2	PWM8（O）
PWM9（O）	3	4	PWM10（O）
PWM11（O）	5	6	PWM12（O）
T3PWM_T3CMP（O）	7	8	T4PWM_T4CMP（O）
PDPINTB（I）	9	10	XT4CTRIP（I）
TDIRB（I）	11	12	TCLKINB（I）
C4TRIP（I）	13	14	C5TRIP（I）
C6TRIP（I）	15	16	GND
ADCINB7（I）	17	18	ADCINB6（I）
ADCINB5（I）	19	20	ADCINB4（I）
ADCINB3（I）	21	22	ADCINB2（I）
ADCINB1（I）	23	24	ADCINB0（I）
VREFLO（I）	25	26	VREFLO（I）

连接器 J13 采用 2mm 间距、5-芯单排插针连接器，其定义如下：

1	2	3	4	5
+5V	CAP4_QEP3（I）	CAP5_QEP4（I）	CAP6_QEPI2（I）	GND

注意：引至连接器上的电机控制 / 状态信号均已在板内作了电平转换，所以外部能兼容 +5V/+3.3V 电平。

SEED-DSK2812 板上还提供了一个 I/O 扩展接口(J7)，对‘F2812 上的 PWM1～PWM4、T1PWM_T1CMP 和 T2PWM_T2CMP 进行扩展，实现简单的直流电机（需要两个数字输出信号控制）和步进电机控制（需要四个数字输出信号控制）。此接口的详细定义见第七章。

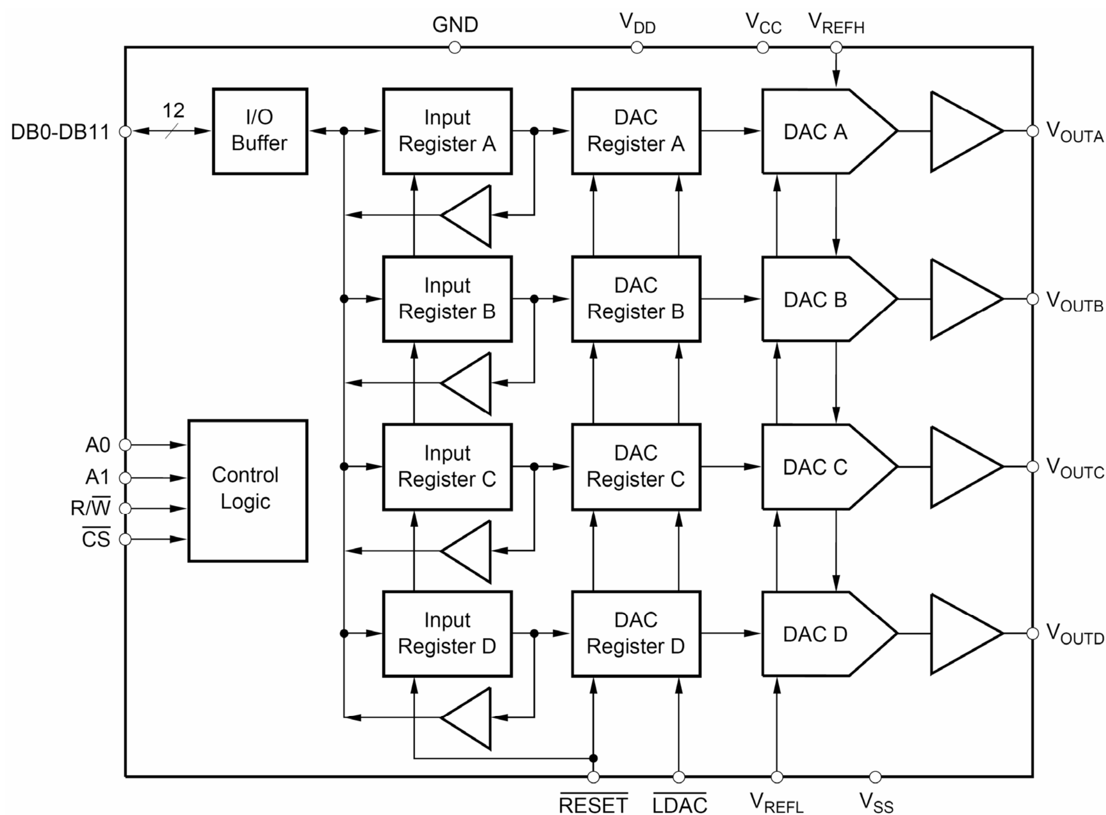
第 5 章

D/A 输出

SEED-DSK2812 模板上使用了一片 DAC7625 做模拟量输出，DAC7625 有 4 路 D/A 输出。因此，SEED-DSK2812 共有 4 路 D/A 输出，输出的模拟信号范围为 0V～+5V。

5.1 DAC7625 概述

DAC7625 为 4 通道、12 位分辨率、0V～+5V 信号量程、建立时间 10us、单+5V 供电的 D/A 转换器。它内部有 2 级锁存，先将数据锁存到缓冲器中，然后再锁存到输出寄存器，实现多通道同时输出。其原理框图如下图所示：



DAC7625 采用直接二进制编码，理想的输入数字量与输出模拟量之间的关系如下式所示：

$V_{OUT} = V_{REFL} + （V_{REFH} – V_{REFL}） x N ÷ 4096$

其中：

N：	数字输入
V_{OUT}：	模拟输出
V_{REFL}：	低参考电压（本设计中为 0V）
V_{REFH}：	高参考电压（本设计中为+2.5V）

复位时，输出锁存器中的数值为 000H，所以当配置为 0V～+2.5V 输出时，模拟输出的复位值为 0V。

DAC 的参考电压是由 LM4040-2.5 提供，精度可达 0.1%；DAC7625 的输出（0～+2.5V）经过 TLC2274 放大 2 倍，得到 0～+5V 的模拟输出。

5.2 ‘F2812 接口 DAC7625

SEED-DSK2812 将 5 个 D/A 输出缓冲器映射到’F2812 的 I/O 空间中，它们的映射关系如下表所示：

第 0 通道 D/A 数据口 DA_PORT0	0x00,4000 Zone 1	12-位 读 / 写	Ts = 0ns Tw = 50ns Th = 0ns
第 1 通道 D/A 数据口 DA_PORT1	0x00,4001 Zone 1	12-位 读 / 写	
第 2 通道 D/A 数据口 DA_PORT2	0x00,4002 Zone 1	12-位 读 / 写	
第 3 通道 D/A 数据口 DA_PORT3	0x00,4003 Zone 1	12-位 读 / 写	
D/A 同时输出口 DA_OUT	0x00,4000 Zone 1	— 只写	

注：表中 Ts 表示建立时间，Tw 表示读 / 写宽度，Th 表示保持时间

第 0～3 通道 D/A 输出的数据口只用 16-位数据的低 12-位，12 位以上的数字被忽略。而 D/A 同时输出口，只利用写脉冲信号，16-位数据全被忽略。

第 6 章

实时时钟

SEED-DSK2812 模板上配置有 X1226 实时时钟 + 串行 EEPROM，可以产生年、月、日、星期、时、分、秒等实时时间信息，还有 512×8-位 EEPROM，可以用来存储定值。非常适合于工业控制场合。

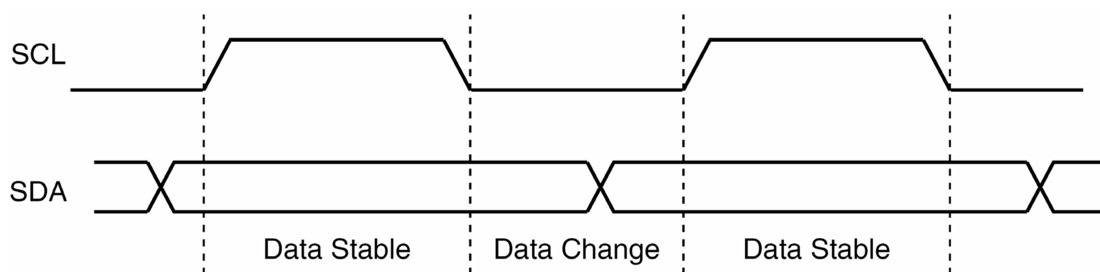
6.1 X1226 概述

X1226 为实时时钟 RTC + 串行 EEPROM，采用串行 IIC 与微处理器接口，其原理框图如下图所示：

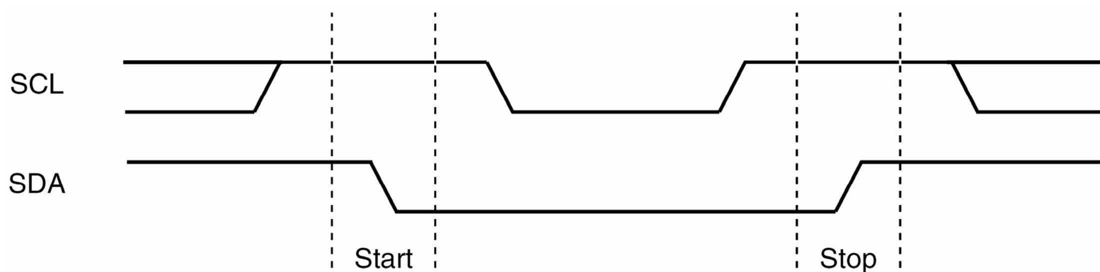
6.1.1 IIC 总线

‘F2812 通过 IIC 总线对 X1226 进行操作，IIC 总线有 2 个信号 SDA 和 SCL，其时序如下列几个图所示：

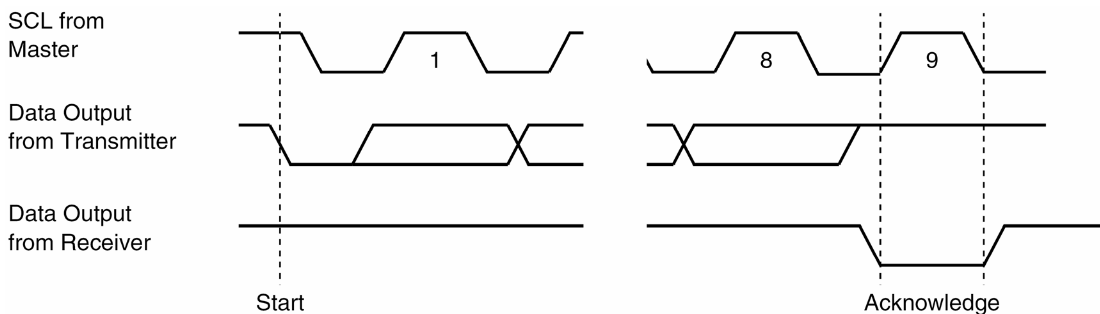
SDA 信号线上数据变化时序如下图所示：



IIC 开始和结束时序如下图所示：

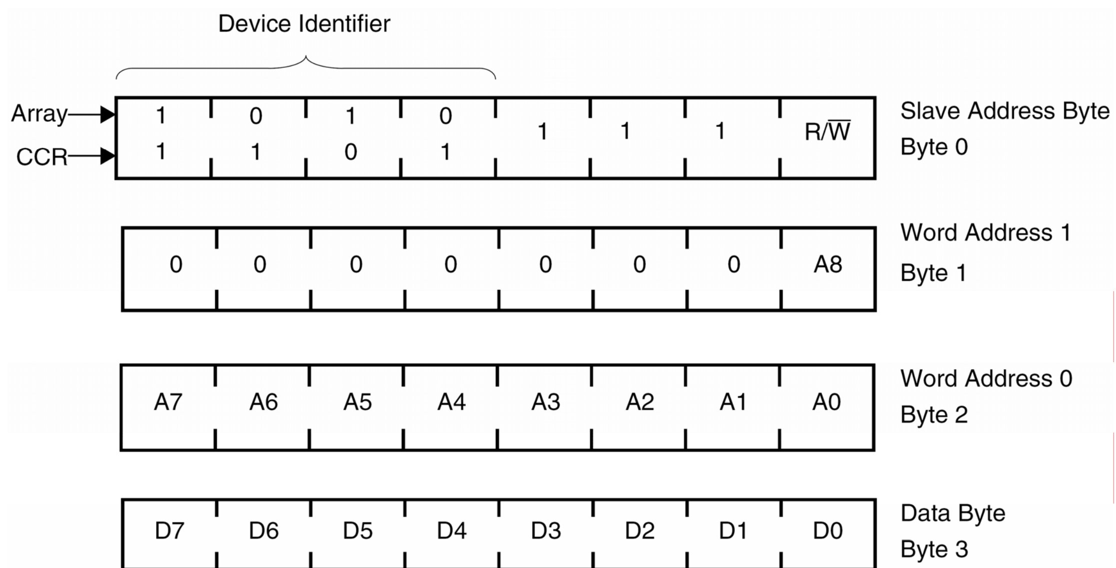


IIC 确认时序如下图所示：



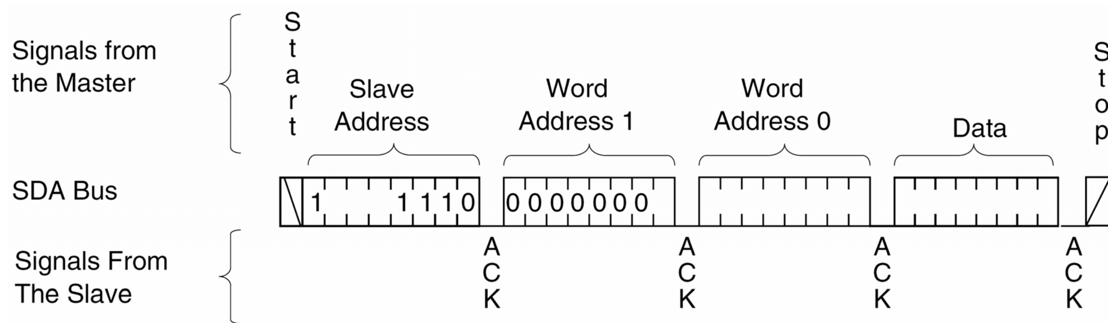
6.1.2 对 X1226 的寻址

通过 IIC 总线，'F2812 可以访问 X1226 内部 2 个部分，一部分为 CCR（时钟 / 控制寄存器），另一部分为 EEPROM 的 512×8-位存储单元。这二部分被作为 2 个 IIC 总线从设备对待，对应二个 IIC 从设备地址。CCR 包含 29 个 8-位寄存器，以 0x00～0x3F 地址进行寻址；EEPROM 则有 512×8-位存储单元，以 0x000～0x1FF 地址进行寻址。X1226 的寻址时序如下图所示：

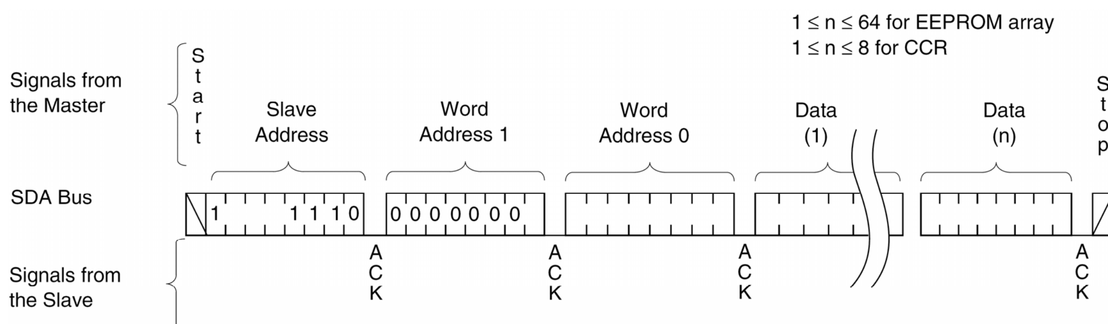


对 X1226 的读 / 写访问均有二种方式：单字节随机读 / 写和多字节顺序读 / 写。X1226 的读 / 写时序如下 4 图所示：

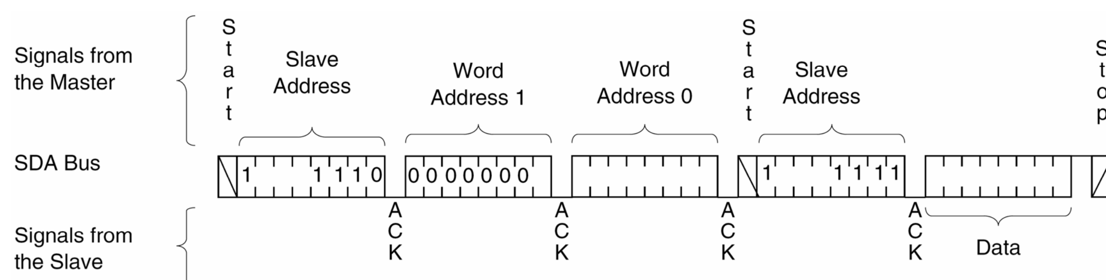
单字节随机写操作时序如下图所示：



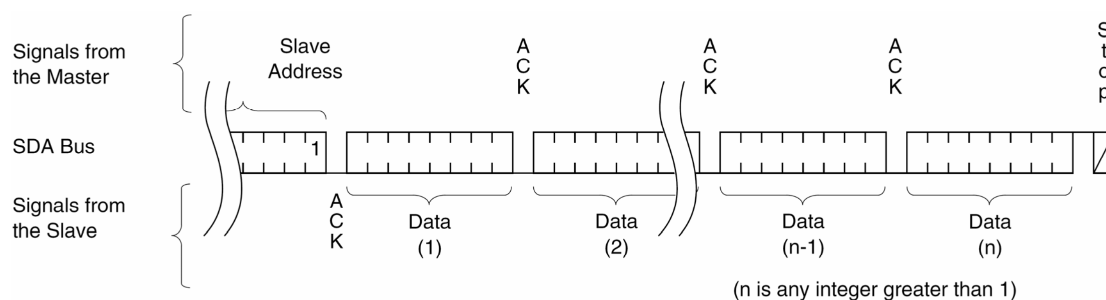
多字节顺序写操作时序如下图所示：



单字节随机读操作时序如下图所示：



多字节顺序读操作时序图如下：



6.1.3 X1226 片内 CCR 寄存器的映射

X1226 片内 CCR 寄存器的映射如下图所示：

Addr.	Type	Reg Name	Bit 7	6	5	4	3	2	1	0 (optional)	Range	Default
003F	Status	SR	BAT	AL1	AL0	0	0	RWEL	WEL	RTCF		01h
0037	RTC (SRAM)	Y2K	0	0	Y2K21	Y2K20	Y2K13	0	0	Y2K10	19/20	20h
0036		DW	0	0	0	0	0	DY2	DY1	DY0	0-6	00h
0035		YR	Y23	Y22	Y21	Y20	Y13	Y12	Y11	Y10	0-99	00h
0034		MO	0	0	0	G20	G13	G12	G11	G10	1-12	00h
0033		DT	0	0	D21	D20	D13	D12	D11	D10	1-31	00h
0032		HR	MIL	0	H21	H20	H13	H12	H11	H10	0-23	00h
0031		MN	0	M22	M21	M20	M13	M12	M11	M10	0-59	00h
0030		SC	0	S22	S21	S20	S13	S12	S11	S10	0-59	00h
0013	Control (EEPROM)	DTR	0	0	0	0	0	DTR2	DTR1	DTR0		00h
0012		ATR	0	0	ATR5	ATR4	ATR3	ATR2	ATR1	ATR0		00h
0011		INT	IM	AL1E	AL0E	FO1	FO0	X	X	X		00h
0010		BL	BP2	BP1	BP0	0	0	0	0	0		00h
000F	Alarm1 (EEPROM)	Y2K1	0	0	A1Y2K21	A1Y2K20	A1Y2K13	0	0	A1Y2K10	19/20	20h
000E		DWA1	EDW1	0	0	0	0	DY2	DY1	DY0	0-6	00h
000D		YRA1	Unused - Default = RTC Year value (No EEPROM) - Future expansion									
000C		MOA1	EMO1	0	0	A1G20	A1G13	A1G12	A1G11	A1G10	1-12	00h
000B		DTA1	EDT1	0	A1D21	A1D20	A1D13	A1D12	A1D11	A1D10	1-31	00h
000A		HRA1	EHR1	0	A1H21	A1H20	A1H13	A1H12	A1H11	A1H10	0-23	00h
0009		MNA1	EMN1	A1M22	A1M21	A1M20	A1M13	A1M12	A1M11	A1M10	0-59	00h
0008		SCA1	ESC1	A1S22	A1S21	A1S20	A1S13	A1S12	A1S11	A1S10	0-59	00h
0007	Alarm0 (EEPROM)	Y2K0	0	0	A0Y2K21	A0Y2K20	A0Y2K13	0	0	A0Y2K10	19/20	20h
0006		DWA0	EDW0	0	0	0	0	DY2	DY1	DY0	0-6	00h
0005		YRA0	Unused - Default = RTC Year value (No EEPROM) - Future expansion									
0004		MOA0	EMO0	0	0	A0G20	A0G13	A0G12	A0G11	A0G10	1-12	00h
0003		DTA0	EDT0	0	A0D21	A0D20	A0D13	A0D12	A0D11	A0D10	1-31	00h
0002		HRA0	EHR0	0	A0H21	A0H20	A0H13	A0H12	A0H11	A0H10	0-23	00h
0001		MNA0	EMN0	A0M22	A0M21	A0M20	A0M13	A0M12	A0M11	A0M10	0-59	00h
0000		SCA0	ESC0	A0S22	A0S21	A0S20	A0S13	A0S12	A0S11	A0S10	0-59	00h

6.2 ‘F2812 与 X1226 接口

‘F2812 通过 IIC 总线与 X1226 接口，IIC 总线由 2 个信号组成：SDA 和 SCL；’F2812 作为 IIC 总线的主设备，应可对 SDA 和 SCL 进行输入 / 输出控制，SEED-DSK2812 在’F2812 的 Zone 0 存储空间外扩 6 个寄存器，分别对 SDA 和 SCL 进行输入 / 输出 / 方向控制。SDA、SCL 输入 / 输出 / 方向控制寄存器的定义如下所示：

6.2.1 SCL 输入寄存器

SCL 输入寄存器 IIC_SCL_IN 映射在’F2812 外部存储空间的 Zone 0 中，地址为 0x00 2000，为只读寄存器，其定义如下：

D7～D1	D0
RESERVE	SCL_IN

6.2.2 SCL 输出寄存器

SCL 输入寄存器 IIC_SCL_OUT 映射在'F2812 外部存储空间的 Zone 0 中，地址为 0x00 2001，为只写寄存器，复位值为 0，其定义如下：

D7～D1	D0
RESERVE	SCL_OUT

6.2.3 SCL 方向控制寄存器

SCL 输入寄存器 IIC_SCL_DIR 映射在'F2812 外部存储空间的 Zone 0 中，地址为 0x00 2000，为只写寄存器，复位值为 1，其定义如下：

D7～D1	D0
RESERVE	SCL_DIR

SCL_DIR：　SCL 信号输入 / 输出方向控制
0：　SCL 信号为输出
1：　SCL 信号为输入

6.2.4 SDA 输入寄存器

SDA 输入寄存器 IIC_SDA_IN 映射在'F2812 外部存储空间的 Zone 0 中，地址为 0x00 2001，为只读寄存器，其定义如下：

D7～D1	D0
RESERVE	SDA_IN

6.2.5 SDA 输出寄存器

SDA 输入寄存器 IIC_SDA_OUT 映射在'F2812 外部存储空间的 Zone 0 中，地址为 0x00 2002，为只写寄存器，复位值为 0，其定义如下：

D7～D1	D0
RESERVE	SDA_OUT

6.2.6 SDA 方向控制寄存器

SDA 输入寄存器 IIC_SDA_DIR 映射在'F2812 外部存储空间的 Zone 0 中，地址为 0x00 2000，为只写寄存器，复位值为 1，其定义如下：

D7～D1	D0
RESERVE	SDA_DIR

SDA_DIR：　SDA 信号输入 / 输出方向控制

0：　SDA 信号为输出

1：　SDA 信号为输入

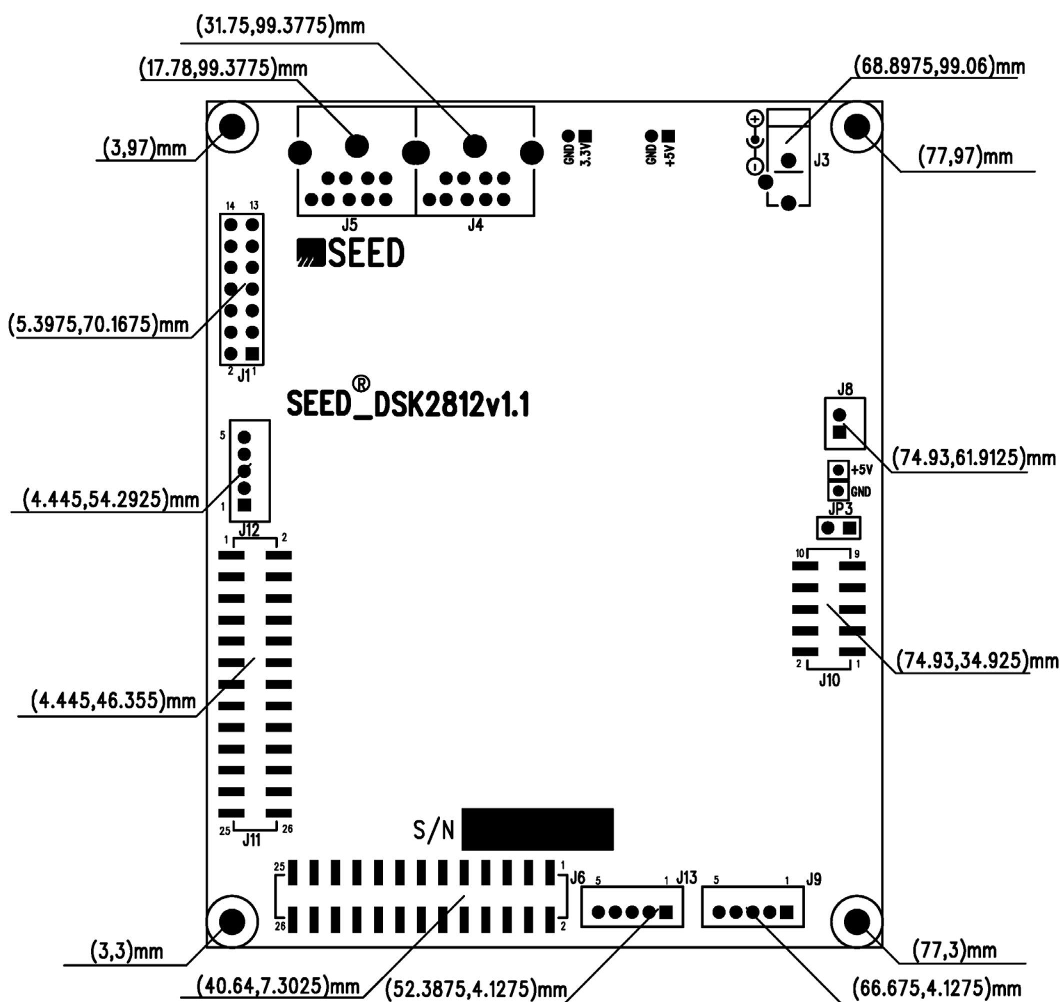
第 7 章

连接器、跳针、机械尺寸

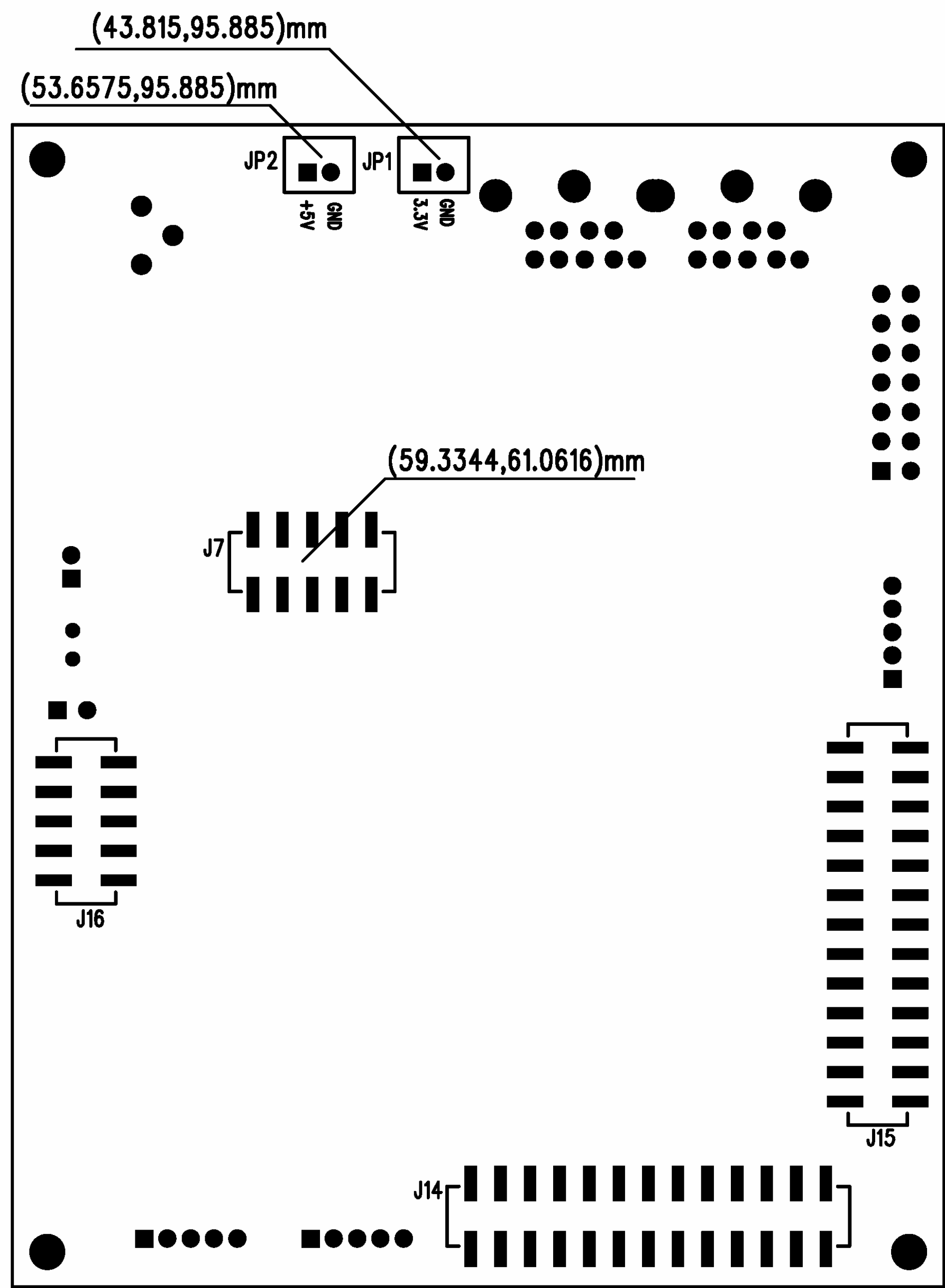
本章描述 SEED-DSK2812 模板的物理布局，说明各连接器的定义、跳针的设置，以及它们在模板上的位置。

7.1 物理布局

SEED-DSK2812 机械尺寸为：100mm×80mm，采用表面贴装元器件，元器件双面安装。SEED-DSK2812 模板正面布局如下图所示：



SEED-DSK2812 模板的反面布局如下图所示：



7.2 连接器与跳针

SEED-DSK2812 模板上有 16 个连接器和 3 个跳针，如下表所示：

连接器	引脚数	功能

J1	14	JTAG 仿真器接口
J2	5	手动复位按钮
J3	3	+5V 电源输入插座
J4	9	RS232 异步串行接口 A
J5	9	RS232 异步串行接口 B
J6	26	B 组电机控制驱动接口，2.54mm×2.54 双排连接器（正面）
J7	14	电机驱动接口
J8	2	CAN 总线接口，2-芯 2mm 单排连接器
J9	5	4 通道 D/A 输出口，5-芯 2mm 单排连接器
J10	10	McBSP 外扩接口(正面)
J11	26	A 组电机控制驱动接口，2.54mm×2.54 双排连接器（正面）
J12	5	A 组电机编码盘接口，5-芯 2mm 单排连接器
J13	5	B 组电机编码盘接口，5-芯 2mm 单排连接器
J14	26	B 组电机控制驱动接口，2.54mm×2.54 双排连接器（反面）
J15	26	A 组电机控制驱动接口，2.54mm×2.54 双排连接器（反面）
J16	10	McBSP 外扩接口（背面）
JP1	2	+3.3V 电源输入(背面)
JP2	2	+5V 电源输入（背面）
JP3	2	McBSP 接口的 DIR 选择

7.2.1 J1：JTAG 仿真器接口

SEED-DSK2812 板上有一个 14-芯、间距为 100mil 的双排插针 J1，它是一个 JTAG 仿真器标准接口，通过此接口对'F2812 进行硬件仿真调试。其定义如下：

Signal	Pin	Pin	Signal
TMS	1	2	TRST-
TDI	3	4	GND
PD (+5V)	5	6	**no pin (key)**
TDO	7	8	GND
TCK	9	10	GND
TCK	11	12	GND
EMU0	13	14	EMU1

Header Dimensions
Pin-to-Pin spacing, 0.100 in. (X,Y)
Pin width, 0.025-in. square post
Pin length, 0.235-in. nominal

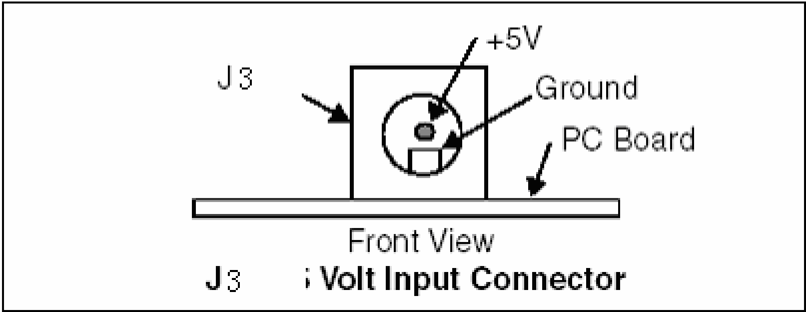
JTAG INTERFACE

7.2.2 J2：手动复位按钮

SEED-DSK2812提供手动复位按钮，方便调试

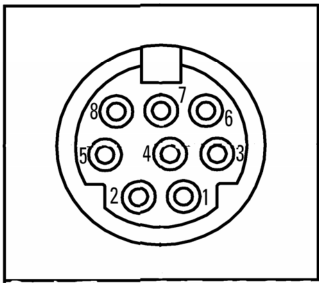
7.2.3 J3：+5V 电源输入插座

采用采用 Mini 型直流电源插座，其示意图如下：



7.2.4 J4：RS232 异步串行接口 A

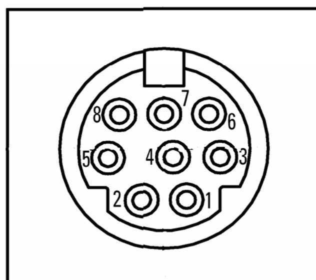
连接器选用8芯的Mini Din连接器，其定义如下：



引脚号	RS232	方向
1	NC	-
2	TXD	输出+
3	RXD	输入
4	与 6 连	-
5	GND	-
6	与 4 连	-
7	NC	-
8	NC	-

7.2.5 J5：RS232 异步串行接口 B

连接器选用8芯的Mini Din连接器，其定义如下：



引脚号	RS232	方向
1	NC	-
2	TXD	输出+
3	RXD	输入
4	与 6 连	-
5	GND	-
6	与 4 连	-
7	NC	-
8	NC	-

7.2.6 J6：B 组电机控制驱动接口（正面）

连接器 J6 采用 2.54mm 间距、26-芯双排插针连接器，其定义如下：

PWM7（O）	1	2	PWM8（O）
PWM9（O）	3	4	PWM10（O）
PWM11（O）	5	6	PWM12（O）
T3PWM_T3CMP（O）	7	8	T4PWM_T4CMP（O）
PDPINTB（I）	9	10	XT4CTRIP（I）
TDIRB（I）	11	12	TCLKINB（I）
C4TRIP（I）	13	14	C5TRIP（I）
C6TRIP（I）	15	16	GND
ADCINB7（I）	17	18	ADCINB6（I）
ADCINB5（I）	19	20	ADCINB4（I）
ADCINB3（I）	21	22	ADCINB2（I）
ADCINB1（I）	23	24	ADCINB0（I）
VREFLO（I）	25	26	VREFLO（I）

注：VREFLO 为模拟地，GND 为数字地。

7.2.7　J7：电机驱动接口

连接采用 10-芯 2.0mm 间距的双排贴片插针，其引脚定义如下

引脚号	连接	方向
1	步进电机 1 路	输出
2	NC	-
3	步进电机 2 路	输出
4	直流电机 1 路	输出
5	GND	-
6	GND	-
7	步进电机 3 路	输出
8	NC	-
9	步进电机 4 路	输出
10	直流电机 2 路	输出

7.2.8　J8: CAN 总线接口

CAN 总线接口 J12 采用 2-芯、2.0mm 间距的单排插针，其引脚定义如下：

1	2
CANL	CANH

7.2.9　J9：4 通道 D/A 输出口

4 通道 D/A 输出口采用 5-芯 2.0mm 间距的单排插针，其管脚排列定义如下：

引脚号	信号	方向
1	VOUTA	输出
2	VOUTB	输出
3	VOUTC	输出
4	VOUTD	输出
5	AGND	输出

7.2.10 J10:McBSP 外扩接口(正面)

插座选用采用10-芯2.54mm间距的双排贴片插针。其定义如下：

MDRA	1	2	MFSXA
MCLKXA	3	4	MDXA
MCLKRA	5	6	MFSRA
DIRMAN(O)	7	8	GND
GND	9	10	GND

7.2.11 J11：A 组电机控制驱动接口（正面）

连接器 J11 采用 2.54mm 间距、26-芯双排插针连接器，其定义如下：

PWM1（O）	1	2	PWM2（O）
PWM3（O）	3	4	PWM4（O）
PWM5（O）	5	6	PWM6（O）
T1PWM_T1CMP（O）	7	8	T2PWM_T2CMP（O）
PDPINTA（I）	9	10	T2CTRIP（I）
TDIRA（I）	11	12	TCLKINA（I）
C1TRIP（I）	13	14	C2TRIP（I）
C3TRIP（I）	15	16	GND
ADCINA7（I）	17	18	ADCINA6（I）
ADCINA5（I）	19	20	ADCINA4（I）
ADCINA3（I）	21	22	ADCINA2（I）
ADCINA1（I）	23	24	ADCINA0（I）
VREFLO（I）	25	26	VREFLO（I）

注：VREFLO 为模拟地，GND 为数字地。

7.2.12 J12：A 组电机编码盘接口

J12 采用 2mm 间距、5-芯单排插针连接器，其定义如下：

1	2	3	4	5
+5V	CAP1_QEP1（I）	CAP2_QEP2（I）	CAP3_QEPI1（I）	GND

7.2.13　J13：B 组电机编码盘接口

J13 采用 2mm 间距、5-芯单排插针连接器，其定义如下：

1	2	3	4	5
+5V	CAP4_QEP3（I）	CAP5_QEP4（I）	CAP6_QEPI2（I）	GND

7.2.14　J14：B 组电机控制驱动接口（反面）

连接器 J14 采用 2.54mm 间距、26-芯双排插针连接器，其定义如下：

PWM7（O）	1	2	PWM8（O）
PWM9（O）	3	4	PWM10（O）
PWM11（O）	5	6	PWM12（O）
T3PWM_T3CMP（O）	7	8	T4PWM_T4CMP（O）
PDPINTB（I）	9	10	XT4CTRIP（I）
TDIRB（I）	11	12	TCLKINB（I）
C4TRIP（I）	13	14	C5TRIP（I）
C6TRIP（I）	15	16	GND
ADCINB7（I）	17	18	ADCINB6（I）
ADCINB5（I）	19	20	ADCINB4（I）
ADCINB3（I）	21	22	ADCINB2（I）
ADCINB1（I）	23	24	ADCINB0（I）
VREFLO（I）	25	26	VREFLO（I）

注：VREFLO 为模拟地，GND 为数字地。

7.2.15　J15：A 组电机控制驱动接口（反面）

连接器 J15 采用 2.54mm 间距、26-芯双排插针连接器，其定义如下：

PWM1（O）	1	2	PWM2（O）
PWM3（O）	3	4	PWM4（O）
PWM5（O）	5	6	PWM6（O）
T1PWM_T1CMP（O）	7	8	T2PWM_T2CMP（O）
PDPINTA（I）	9	10	T2CTRIP（I）
TDIRA（I）	11	12	TCLKINA（I）
C1TRIP（I）	13	14	C2TRIP（I）

C3TRIP（I）	15	16	GND
ADCINA7（I）	17	18	ADCINA6（I）
ADCINA5（I）	19	20	ADCINA4（I）
ADCINA3（I）	21	22	ADCINA2（I）
ADCINA1（I）	23	24	ADCINA0（I）
VREFLO（I）	25	26	VREFLO（I）

注：VREFLO 为模拟地，GND 为数字地。

7.2.16 J16：McBSP 外扩接口（背面）

插座选用采用10-芯2.54mm间距的双排贴片插针。其定义如下：

MDRA	1	2	MFSXA
MCLKXA	3	4	MDXA
MCLKRA	5	6	MFSRA
DIRMAN(O)	7	8	GND
GND	9	10	GND

7.2.17 JP1：+3.3V 电源输入(背面)

接口 JP1 采用 2-芯、2.0mm 间距的单排插针，其引脚定义如下：

1	2
+3.3V	GND

7.2.18 JP2：+5V 电源输入（背面）

接口 JP2 采用 2-芯、2.0mm 间距的单排插针，其引脚定义如下：

1	2
+5V	GND

7.2.19 JP3：McBSP 接口的 DIR 选择

McBSP 外扩接口测试（备用）

第 **8** 章

测试程序

SEED-DSK2812 模板的测试程序包括以下几个方面：

- ☐ DSP 对片外 SRAM 与片内 FLASH 的操作示例；
- ☐ DSP 片内外设 A/D 的操作示例；
- ☐ DSP 片内外设 TIMER 的操作示例；
- ☐ DSP 片内外设 GPIO 的操作示例；
- ☐ DSP 片内外设 SCI 的操作示例；
- ☐ DSP 片内外设 MCBSP 的操作示例；
- ☐ DSP 片内外设 PWM 的操作示例；
- ☐ DSP 片内外设 CAN 的操作示例；
- ☐ D/A 输出的操作示例；
- ☐ 串行 RTC + EEPROM 实时时钟的操作示例；

注：测试程序的工程调试环境是以合众达公司的并口仿真器建立的，为了方便起见，推荐用户使用合众达公司的并口仿真器进行测试。如果使用其它类型的仿真器，请参考附录 C 创建相应的工程调试环境。

8.1 存贮器系统的测试

SEED-DSK2812 模板上的 SRAM 标准配置为 64K×16 位；FLASH 为'F2812 片内的 128K×16 位。本程序主要是用来测试 SRAM 和 FLASH 的读／写操作。

SRAM 的测试过程是对外部 SRAM 的 0x100000~0x10FFFF 进行写操作，即连续写入 0x5555 和 0xAAAA，然后读回，判断是否正确；

FLASH 的测试是对片内 FLASH 进行擦除，编程和校验操作，由于程序只对 FLASH 的一个段进行操作，所以用户可以根据以下的段名，自行决定对哪一个段进行操作。

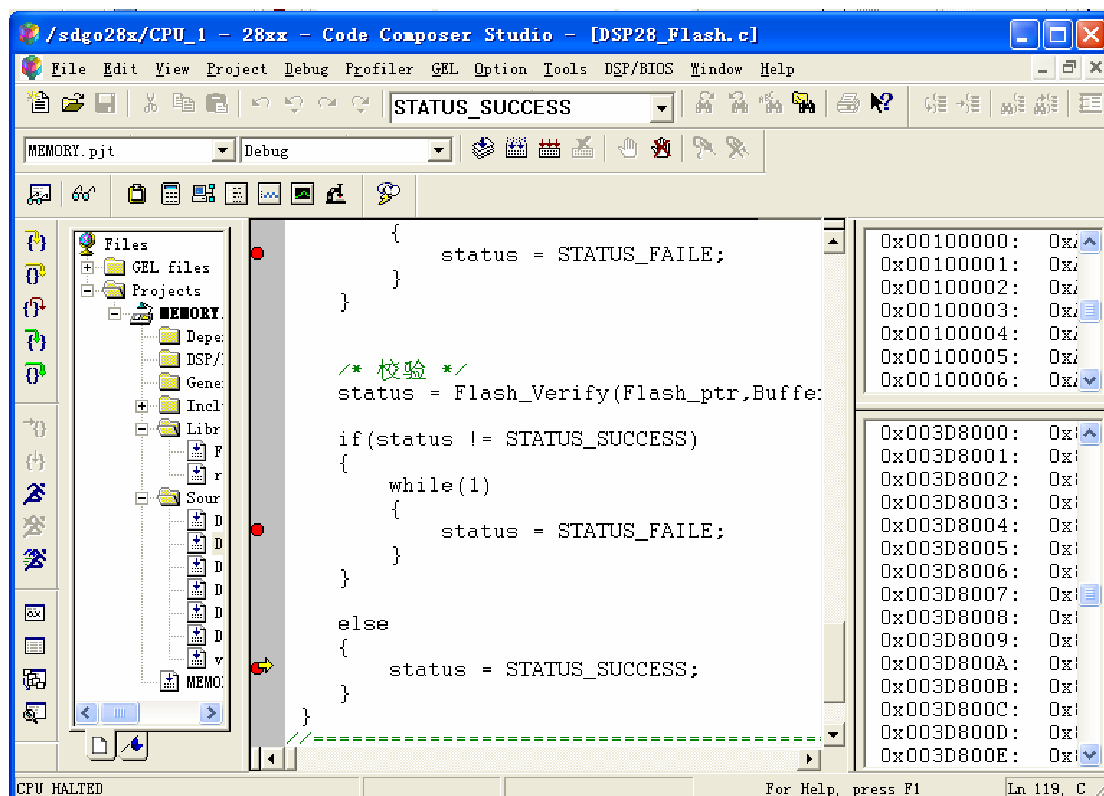
SECTORA	0x3D8000~0x3D9FFF
SECTORB	0x3DA000~0x3DBFFF
SECTORC	0x3DC000~0x3DFFFF
SECTORD	0x3E0000~0x3E3FFF
SECTORE	0x3E4000~0x3E7FFF

SECTORF	0x3E8000~0x3EBFFF
SECTORG	0x3EC000~0x3EFFFF
SECTORH	0x3F0000~0x3F3FFF
SECTORI	0x3F4000~0x3F5FFF
SECTORJ	0x3F6000~0x3F7FFF

8.1.1 SRAM 和 FLASH 测试过程

SRAM 和 FLASH 的测试过程如下：

- 将 MEMORY 目录拷贝到 CCS 集成开发环境下的 myprojects 目录下；
- 在 CCS 中用 File→Workspce→load Workspce…命令，加载 MEMORY 目录下的 MEMORY.wks；
- 在 CCS 中用 File→Load Program…命令，加载 Debug 目录下的 MEMORY.out；
- 在 CCS 中用 Debug→Go Main 命令执行程序到 C 的 main()函数处；
- 按下图设置断点，按 F5 运行；
- 在测试过程中，程序运行到（status = STATUS_SUCCESS；）说明测试目标正确；程序运行到（status = STATUS_FAILE；）说明测试目标有问题。



8.2 A/D 的测试

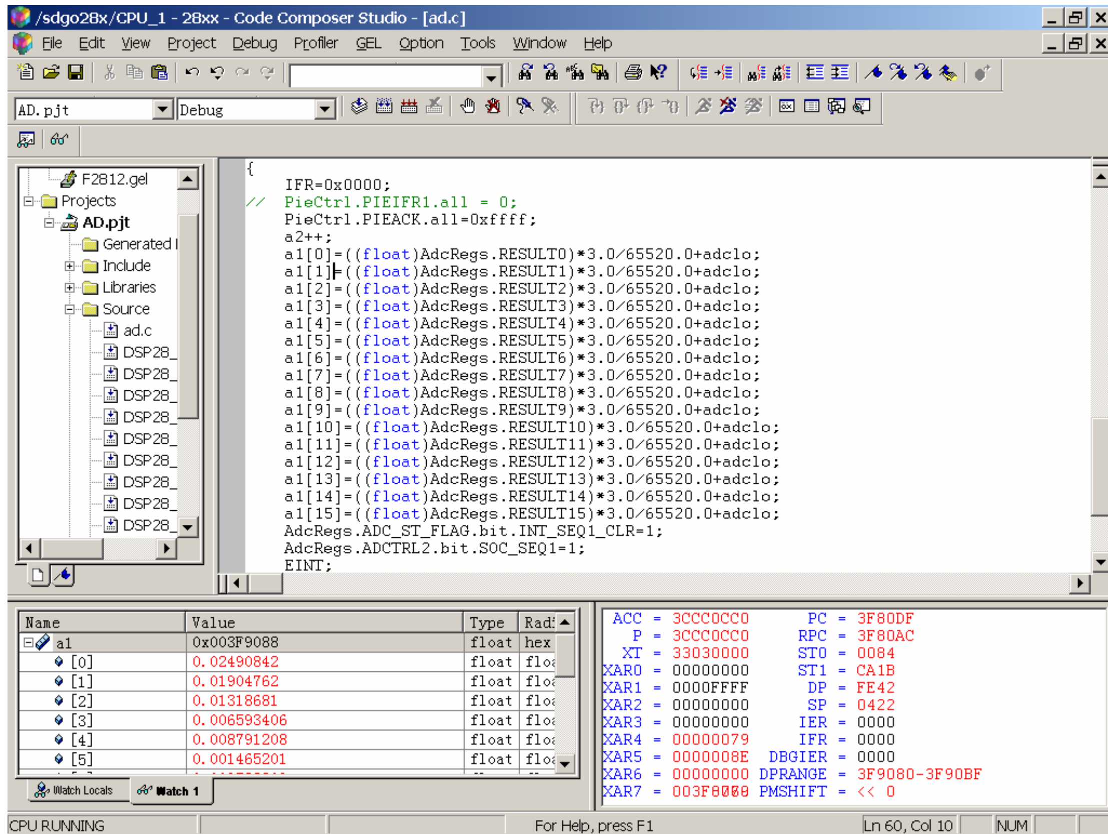
SEED-DSK2812 模板上的有 16 路 A/D 信号输入通路，信号范围是 0V～3V。本程序主要是对外部模拟量输入信号进行 A/D 转换。

A/D 测试首先对 A/D 模块的进行初始化操作，当 A/D 模块非忙时，启动 16 个 A/D 通道进行转换，主程序进入死循环，A/D 转换完毕后，产生 AD 中断，中断服务程序将 16 个 A/D 转换结果读入数组 a1[16]中，并再次启动 16 个 A/D 通道进行转换，循环往复。

8.2.1 A/D 的测试过程

A/D 的测试过程如下：

1. 将 AD 目录拷贝到 CCS 集成开发环境下的 myprojects 目录下；
2. 在 CCS 中用 File→Workspce→load Workspce…命令，加载 ad 目录下的 AD.wks；
3. 在 CCS 中用 File→Load Program…命令，加载 Debug 目录下的 AD.out；
4. 在 CCS 中用 Debug→Go Main 命令，将程序执行到 C 的入口函数 Main()处；
5. 在 CCS 中用 View→Watch Window 命令，打开变量观察窗，点击 Watch 1 页面，在 Name 项中键入变量名 a1。
6. 按 F5 运行程序，并观察 Watch 窗中变量 a1 的变化，a1[0]～a1[15]对应 16 个 A/D 通道模拟输入值。



8.3 片上定时器的测试

‘F2812 片上有 3 个 32-位的 CPU 定时器，本程序主要是对这 CPU 定时器 2 进行操作，1 秒钟产生 1 次中断，在中断中，让 SEED-DSK2812 模块上的 D1 LED 灯进行闪烁操作。

8.3.1 片上定时器的测试过程

片上定时器的测试过程如下：

1. 将 CPUTIMER 目录拷贝到 CCS 集成开发环境下的 myprojects 目录下；
2. 在 CCS 中用 File→Workspce→load Workspce…命令，加载 CPUTIMER 目录下的 cputimer.wks；
3. 在 CCS 中用 File→Load Program…命令，加载 Debug 目录下的 cputimer.out；
4. 在 CCS 中用 Debug→Go Main 命令，将程序执行到 C 的入口函数 Main()处。
5. 按 F5 运行程序，并观察 SEED-DSK2812 模板上 D1 发光二极管的变化。

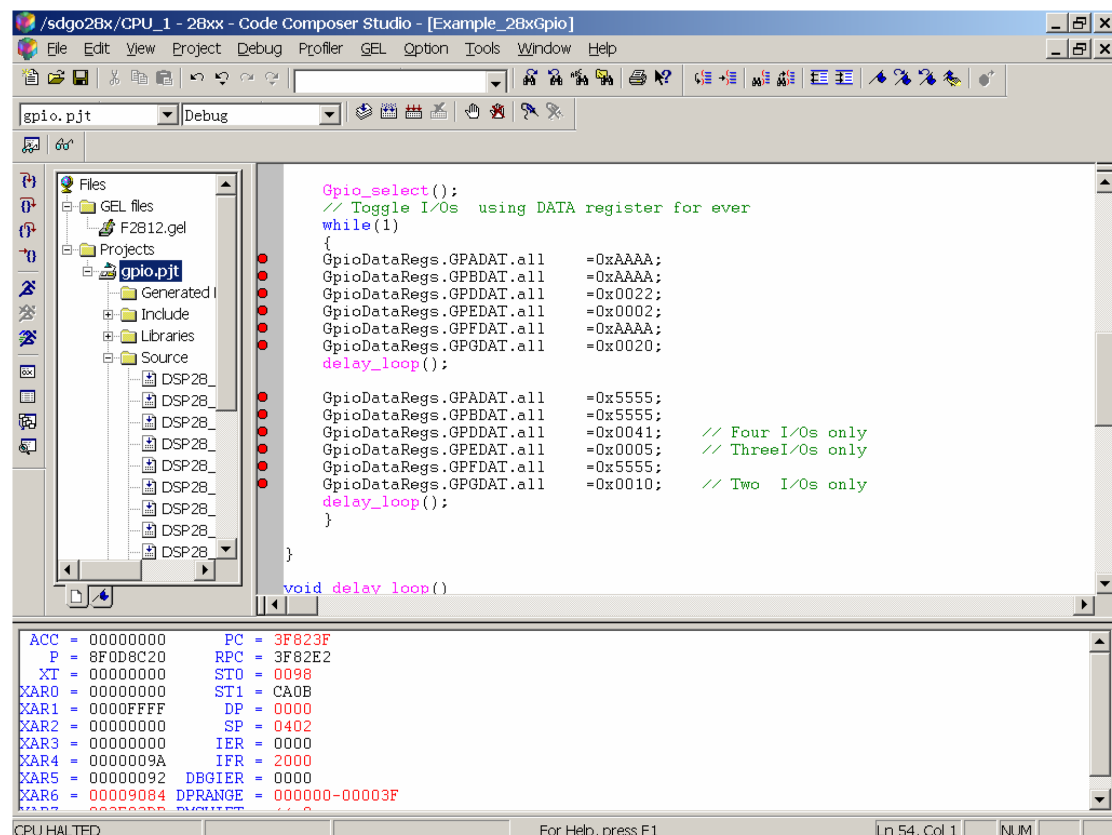
8.4 GPIO 的测试

‘F2812 片上有 56 个通用 IO 口，本程序主要是对这些端口进行操作，不断对这些 GPIO 口进行高低电平测试。

8.4.1 GPIO 的测试过程

GPIO 的测试过程如下：

1. 将 GPIO 目录拷贝到 CCS 集成开发环境下的 myprojects 目录下；
2. 在 CCS 中用 File→Workspce→load Workspce…命令，加载 GPIO 目录下的 gpio.wks
3. 在 CCS 中用 File→Load Program…命令，加载 Debug 目录下的 gpio.out；
4. 在 CCS 中用 Debug→Go Main 命令，将程序执行到 C 的入口函数 Main()处；
5. 按下图设置断点，按 F5 运行程序，用示波器观察相应的 GPIO 引脚上的电平变化。



8.5 UART 的测试

SEED-DSK2812 模板上的有 2 个 UART 串口，本测试程序是对 SCIA 进行操作，首先，打开 PC 机上的串口测试软件，设置波特率为 19200BPS，8 个数据位，无校验，1 个停止位，设置如下图，然后用串口线连接 PC 机和 SEED-DSK2812 模块，开始运行程序，先由 PC 机上的串口测试软件给 SEED-DSK2812 发数据，SEED-DSK2812 收到数据后，把收到的数据发回 PC 机，在串口测试软件的接收 BUFFER 处看见收到的数据，看发送和接收的数据是否一致，来判断 SEED-DSK2812 的 SCIA 是否正常。

8.5.1 UART 的测试过程

UART 的测试过程如下：

1. 用串口电缆连接 PC 机 COM1 与 SEED_DSK2812 的 SCI A(J4);
2. 将 SCI 目录拷贝到 CCS 集成开发环境下的 myprojects 目录下；
3. 在 CCS 中用 File→Workspce→load Workspce…命令，加载 SCI 目录下的 sci.wks；
4. 在 CCS 中用 File→Load Program…命令，加载 Debug 目录下的 sci.out；
5. 在 CCS 中用 Debug→Go Main 命令，将程序执行到 C 的入口函数 Main()处；
6. 按 F5 运行程序；
7. 运行目录 Serial 下的“串口调试器”的软件，设置串口参数，如下：



关于更多串口的操作，请参看测试程序的源代码及相关的文档。

8.6 McBSP 的测试

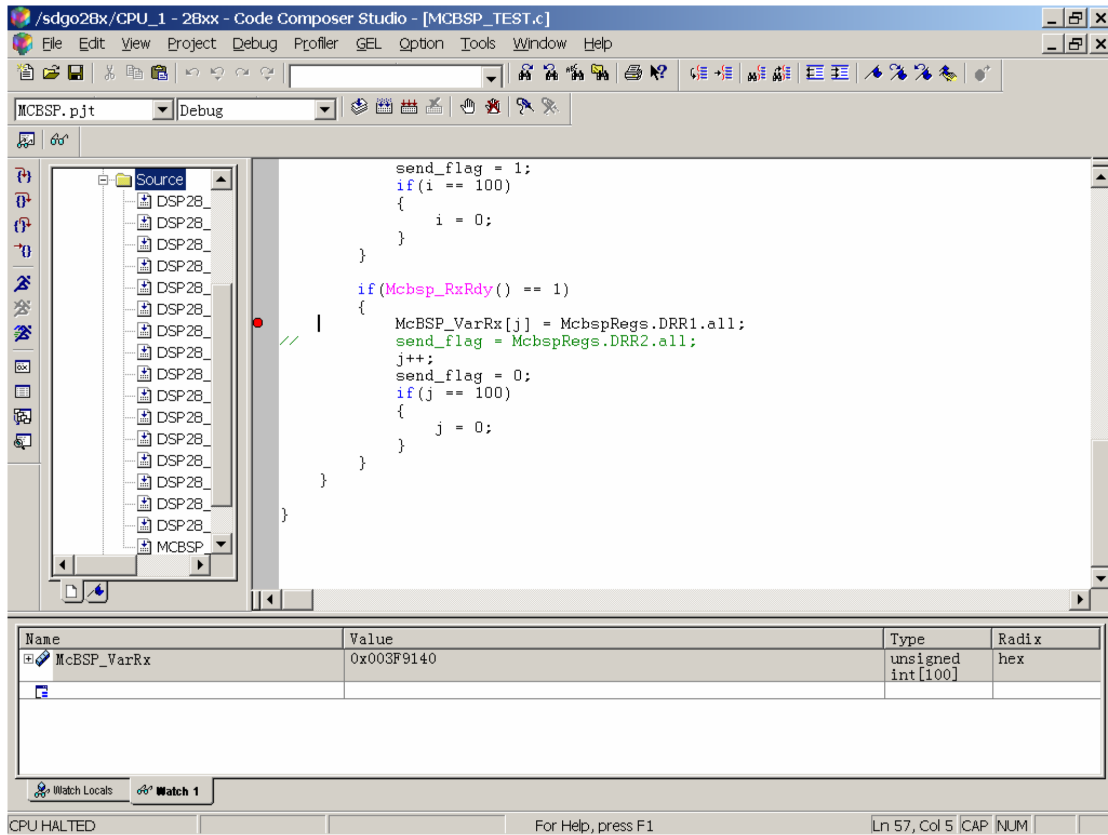
‘F2812 片上有 1 个 McBSP 多通道同步串口，本程序是对 McBSP 进行操作，首先将 MCLKXA 和 MCLKRA，MFSXA 和 MFSRA，MDXA 和 MDRA 短接上，形成自发自收模式。

8.6.1 McBSP 的测试过程

McBSP 的测试过程如下：

1. 将 McBSP 目录拷贝到 CCS 集成开发环境下的 myprojects 目录下；
2. 在 CCS 中用 File→Workspce→load Workspce…命令，加载 McBSP 目录下的 mcbsp.wks；
3. 在 CCS 中用 File→Load Program…命令，加载 Debug 目录下的 mcbsp.out；
4. 在 CCS 中用 Debug→Go Main 命令，将程序执行到 C 的入口函数 Main()处；

5. 按下图设置断点，按 F5 运行程序。



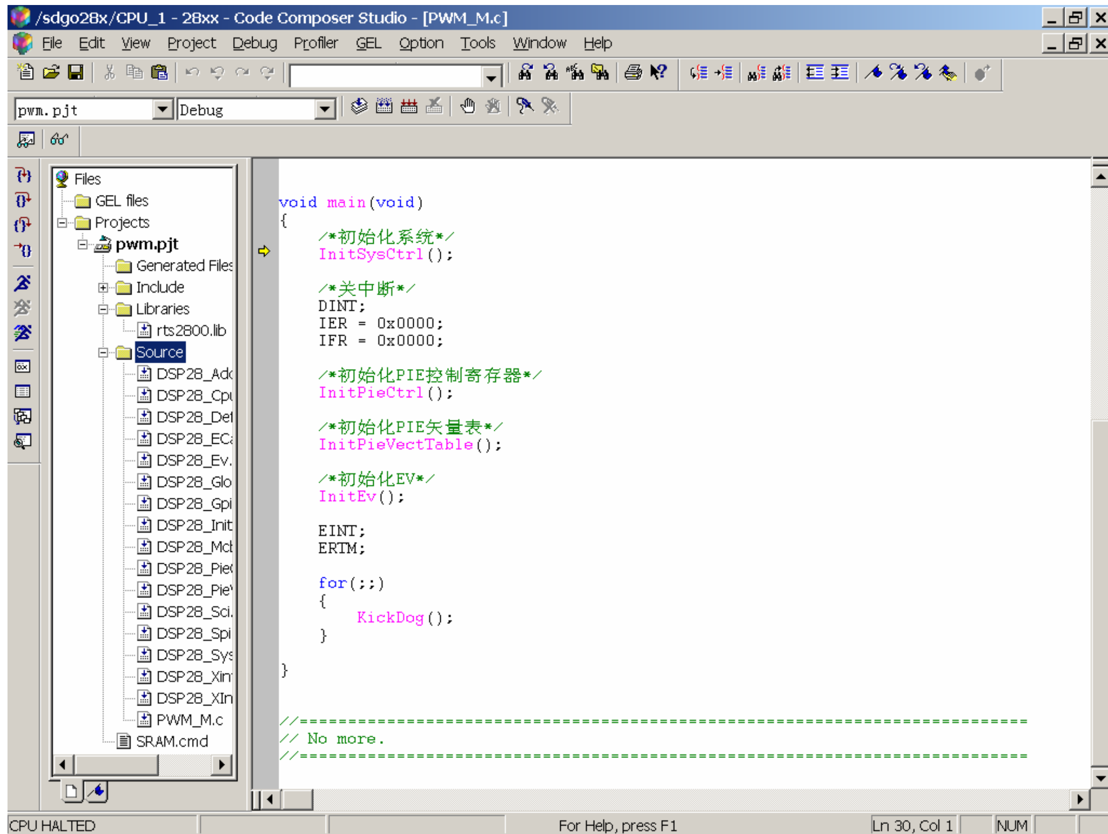
8.7 PWM 的测试

‘F2812 片上有 2 个事件管理器，EVA 和 EVB。PWM 测试程序就是通过对 EVA 的 GP TIMER1 进行操作，产生频率和脉宽调制可变的波形。

8.7.1 PWM 的测试过程

PWM 的测试过程如下：

1. 将 PWM 目录拷贝到 CCS 集成开发环境下的 myprojects 目录下；
2. 在 CCS 中用 File→Workspce→load Workspce…命令，加载 PWM 目录下的 pwm.wks；
3. 在 CCS 中用 File→Load Program…命令，加载 Debug 目录下的 pwm.out；
4. 在 CCS 中用 Debug→Go Main 命令，将程序执行到 C 的入口函数 Main()处；
5. 按 F5 运行程序。
6. 用示波器观察 T1PWM_T1CMP 引脚上的波形变化。



8.8 D/A 的测试

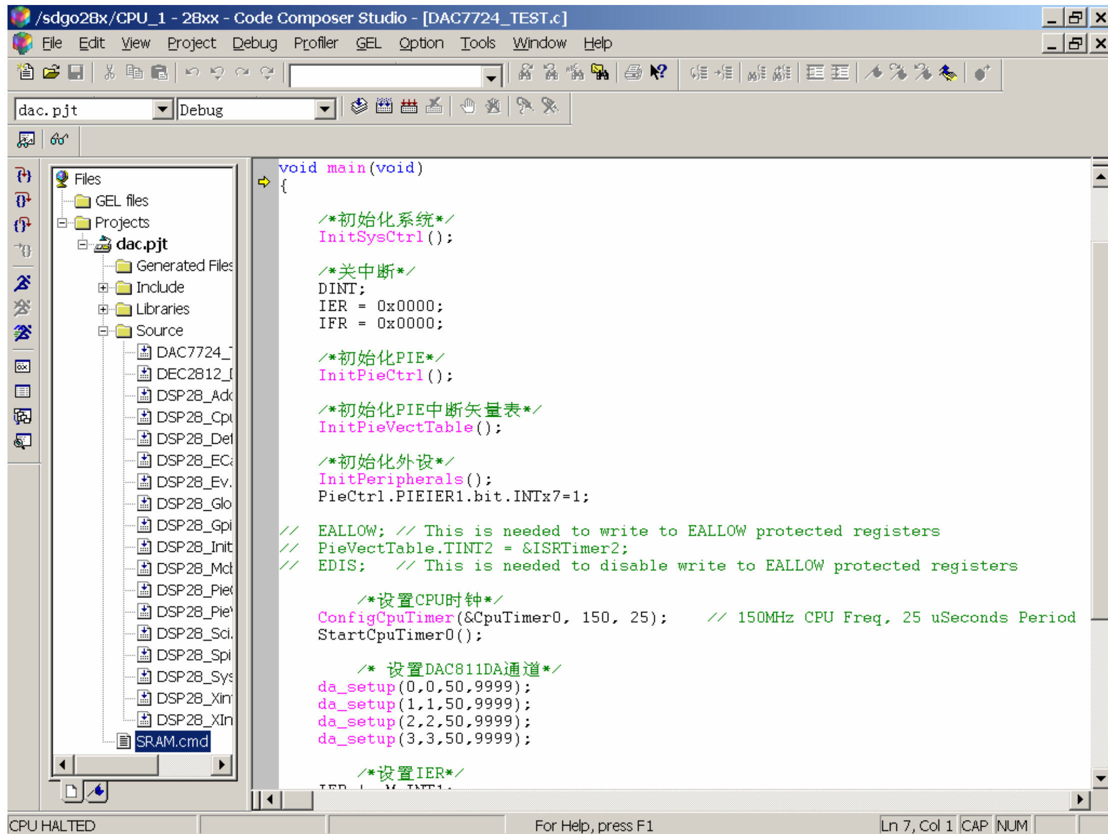
SEED-DSK2812 模板上有 1 个 D/A 芯片 DAC7625。DAC7625 包括 4 路 D/A 信号，输出 40Hz～10000Hz，0～+5V 量程的波形。

波形输出包括正弦波、方波、三角波和直流。

8.8.1 D/A 的测试过程

D/A 的测试过程如下：

1. 将 DAC 目录拷贝到 CCS 集成开发环境下的 myprojects 目录下；
2. 在 CCS 中用 File→Workspce→load Workspce…命令，加载 DAC 目录下的 DAC.wks；
3. 在 CCS 中用 File→Load Program…命令，加载 Debug 目录下的 DAC.out；
4. 在 CCS 中用 Debug→Go Main 命令，将程序执行到 C 的入口函数 Main()处；
5. 按 F5 运行程序。
6. 用示波器观察 D/A 各通道的输出波形（连接器 J9 的 1 脚：正弦波；2 脚：方波；3 脚：三角波；4 脚：直流）。



8.9 RTC 的测试

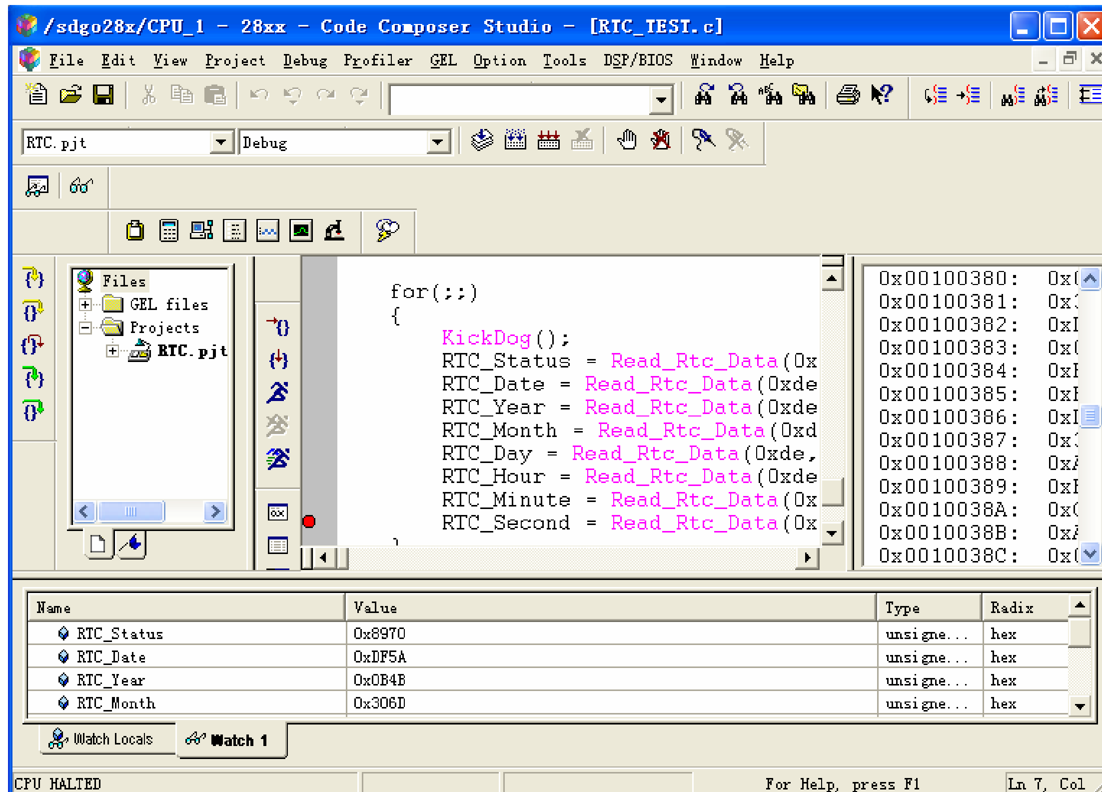
SEED-DSK2812 模板上有 1 个 RTC + EEPROM 芯片 X1226。X1226 包括 RTC 实时时钟和 512 字节的 EEPROM。

本测试程序对 EEPROM 进行读写操作，对 RTC 实时时钟设置，然后通过对 RTC 的读操作，得到 RTC 实时时钟值。

8.9.1 RTC 的测试过程

RTC 的测试过程如下：

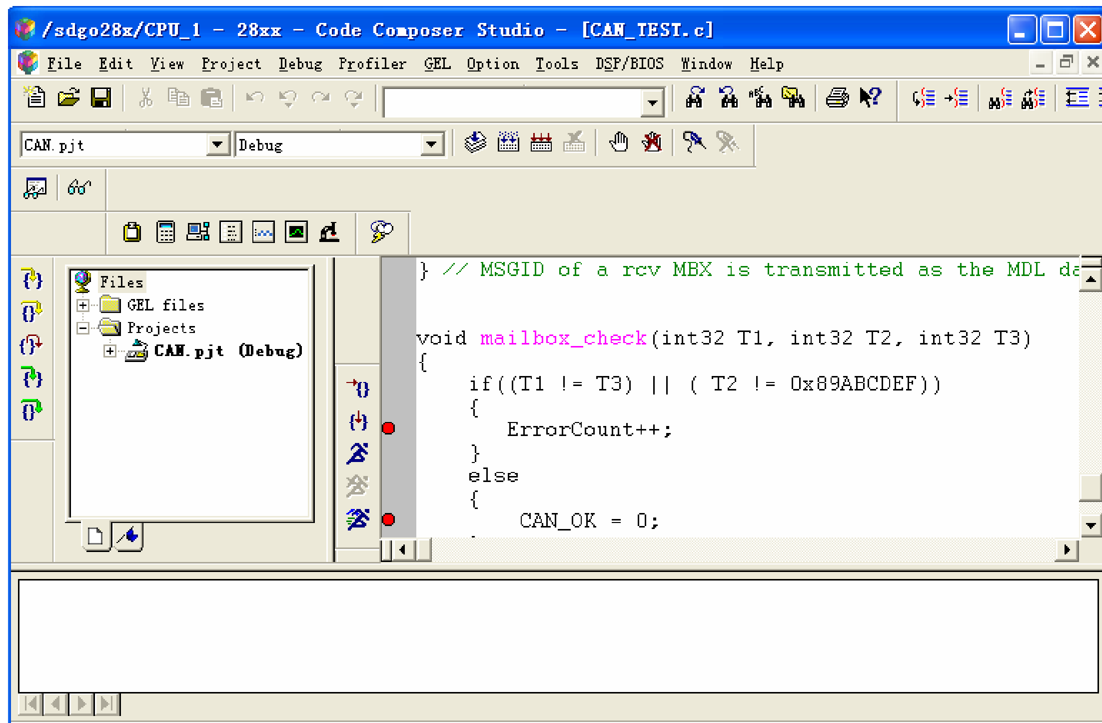
1. 将 RTC 目录拷贝到 CCS 集成开发环境下的 myprojects 目录下；
2. 在 CCS 中用 File→Workspce→load Workspce…命令，加载 RTC 目录下的 RTC.wks；
3. 在 CCS 中用 File→Load Program…命令，加载 Debug 目录下的 RTC.out；
4. 在 CCS 中用 Debug→Go Main 命令，将程序执行到 C 的入口函数 Main()处；
5. 按下图设置断点，按 Debug→Animate 运行程序,读取 RTC_Second 的值。



8.10 CAN 的测试

CAN 的测试过程如下：

1. 将 CAN 目录拷贝到 CCS 集成开发环境下的 myprojects 目录下；
2. 在 CCS 中用 File→Workspce→load Workspce…命令，加载 CAN 目录下的 CAN.wks；
3. CCS 中用 File→Load Program…命令，加载 Debug 目录下的 CAN.out；
4. CCS 中用 Debug→Go Main 命令，将程序执行到 C 的入口函数 Main()处；
5. 按下图设置断点，按 F5 运行程序，运行到 CAN_OK 标志处，说明测试对象正常。


/sdgo28x/CPU_1 - 28xx - Code Composer Studio - [CAN_TEST.c]
File Edit View Project Debug Profiler GEL Option Tools DSP/BIOS Window Help
CAN.pjt
Debug
Files
GEL files
Projects
CAN.pjt (Debug)
} // MSGID of a rcv MBX is transmitted as the MDL da
void mailbox_check(int32 T1, int32 T2, int32 T3)
{
if((T1 != T3) || (T2 != 0x89ABCDEF))
{
ErrorCount++;
}
else
{
CAN_OK = 0;

附录 A

寄存器

A.1　SCL 输入寄存器

SCL 输入寄存器 IIC_SCL_IN 映射在'F2812 外部存储空间的 Zone 0 中，地址为 0x00 2000，为只读寄存器，其定义如下：

D7～D1	D0
RESERVE	SCL_IN

A.2　SCL 输出寄存器

SCL 输入寄存器 IIC_SCL_OUT 映射在'F2812 外部存储空间的 Zone 0 中，地址为 0x00 2001，为只写寄存器，复位值为 0，其定义如下：

D7～D1	D0
RESERVE	SCL_OUT

A.3　SCL 方向控制寄存器

SCL 输入寄存器 IIC_SCL_DIR 映射在'F2812 外部存储空间的 Zone 0 中，地址为 0x00 2000，为只写寄存器，复位值为 1，其定义如下：

D7～D1	D0
RESERVE	SCL_DIR

SCL_DIR：　SCL 信号输入 / 输出方向控制
0：　SCL 信号为输出
1：　SCL 信号为输入

A.4 SDA 输入寄存器

SDA 输入寄存器 IIC_SDA_IN 映射在'F2812 外部存储空间的 Zone 0 中，地址为 0x00 2001，为只读寄存器，其定义如下：

D7～D1	D0
RESERVE	SDA_IN

A.5 SDA 输出寄存器

SDA 输入寄存器 IIC_SDA_OUT 映射在'F2812 外部存储空间的 Zone 0 中，地址为 0x00 2002，为只写寄存器，复位值为 0，其定义如下：

D7～D1	D0
RESERVE	SDA_OUT

A.6 SDA 方向控制寄存器

SDA 输入寄存器 IIC_SDA_DIR 映射在'F2812 外部存储空间的 Zone 0 中，地址为 0x00 2000，为只写寄存器，复位值为 1，其定义如下：

D7～D1	D0
RESERVE	SDA_DIR

SDA_DIR： SDA 信号输入 / 输出方向控制
0： SDA 信号为输出
1： SDA 信号为输入

A.7 LED 控制寄存器

控制 D6~D9 4 个灯的状态，映射在'F2812 外部存储空间的 Zone 0 中，地址为 0x00 2003，为只写寄存器，复位值为 1，其定义如下：

D7～D4	D3～D0
RESERVE	D9～D6

D9～D6：　　　发光二极管 D9～D6 的状态

0：　　　熄灭

1：　　　点亮

A.8　状态寄存器

控制发光二极管 D1 的状态，映射在'F2812 外部存储空间的 Zone 0 中，地址为 0x00 2004，为只写寄存器，复位值为 1，其定义如下：

D7～D1	D0
RESERVE	D1

D1：　　　发光二极管 D1 的状态

0：　　　熄灭

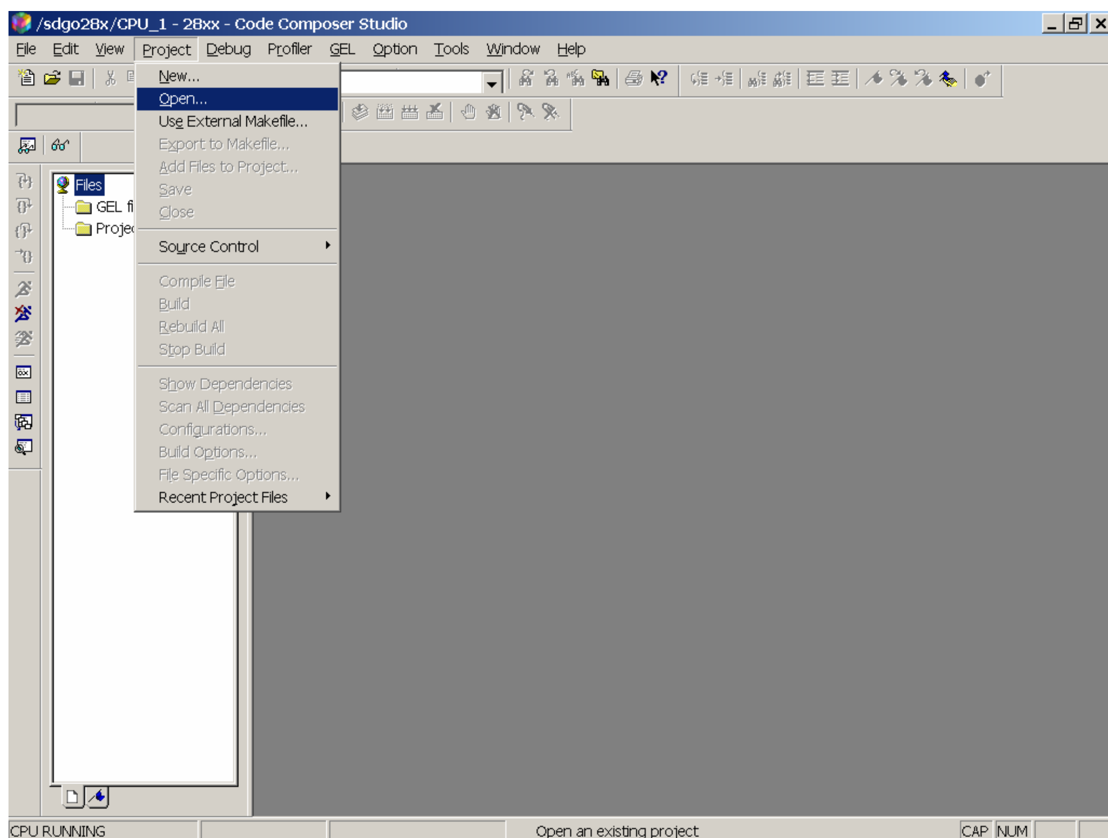
1：　　　点亮

附录 B

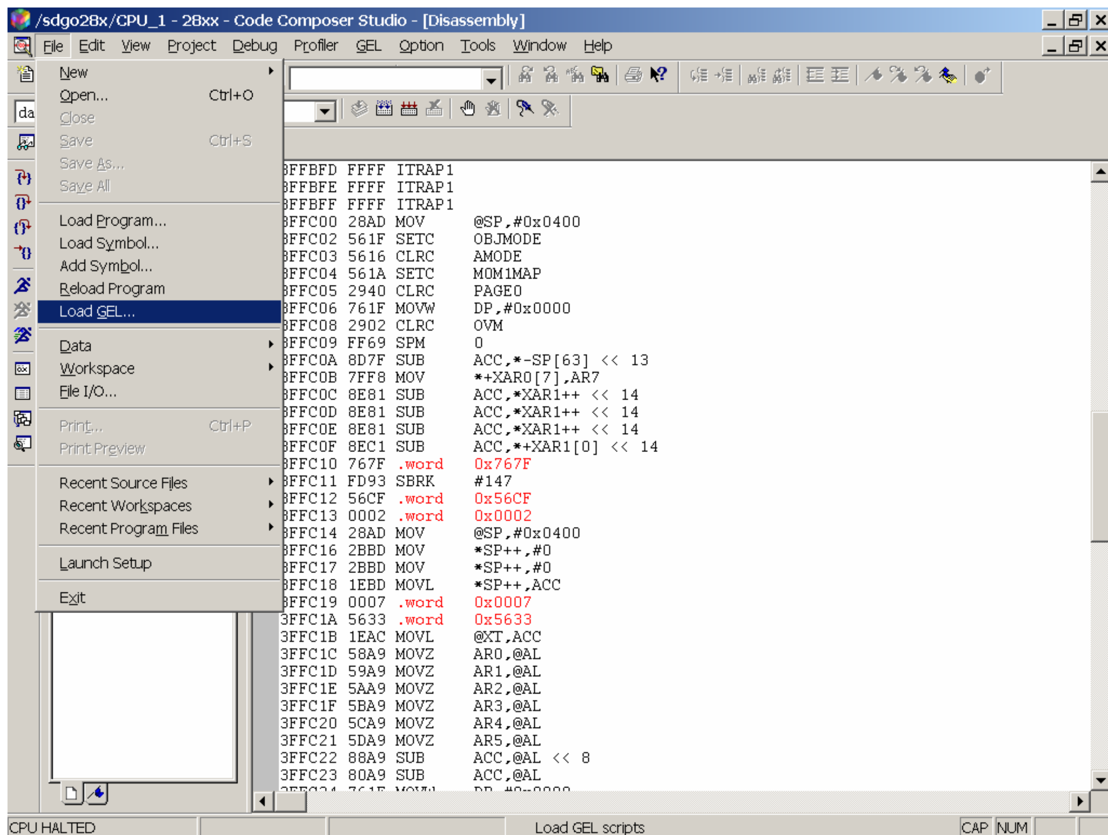
工程调试环境的建立

这里以 SEED－DEC2812 的 D/A 测试程序为例说明，如何建立调试工程环境的建立。

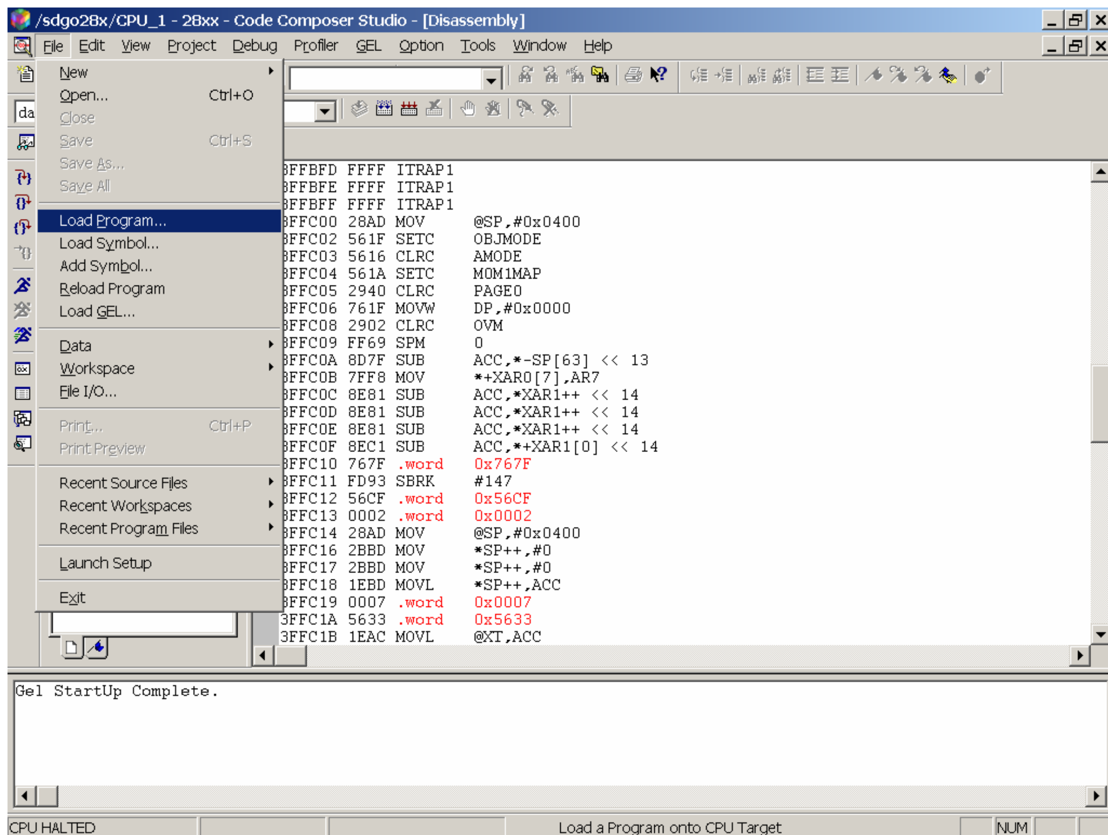
1． 打开 dac.prj 工程



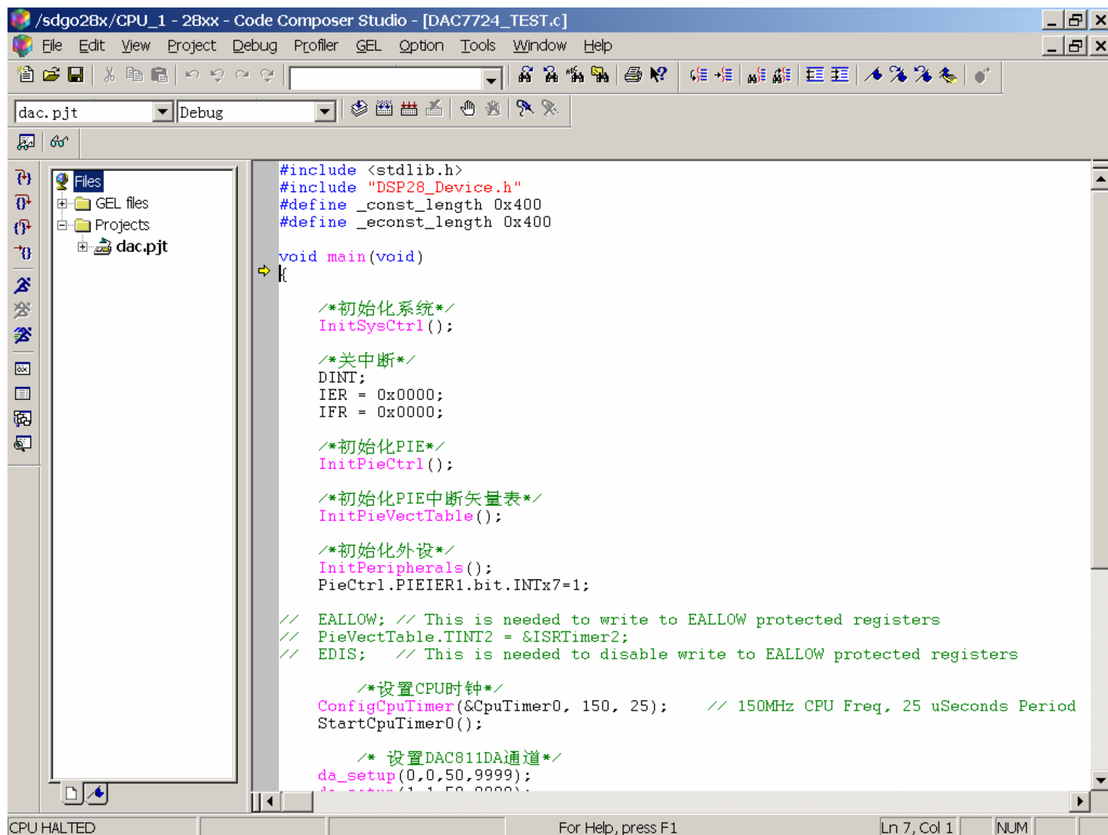
2． 装入 F2812.GEL 文件



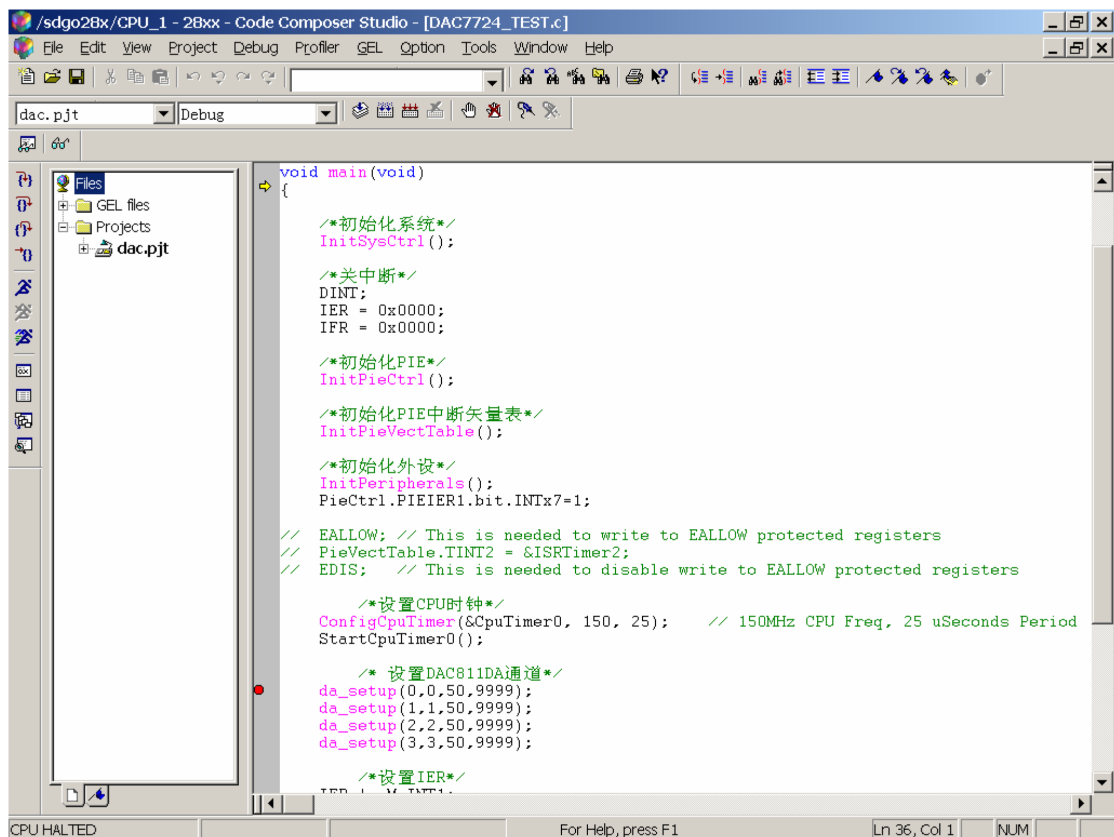
3．装入可执行的 dac.out



4. 运行 Debug\Go Main 命令，使程序运行到 C 程序的入口 main()。



5. 然后即可设置观察窗与断点等调试信息。



6. 保存这些设置为 dac.wks，下次直接 Load Workspace 就可见到与这次相同的调试环境了。

